

磁気抵抗効果素子及びこれを用いたメモリ装置

(MAGNETORESISTIVE EFFECT ELEMENT AND
MEMORY DEVICE USING THE SAME)

5

BACKGROUND OF THE INVENTION

【0001】

本発明は、磁気抵抗効果素子及びこれを用いたメモリ装置に関するものである。

【0002】

磁気抵抗効果素子は、例えば、MRAM（磁気ランダムアクセスメモリ）等のメモリ装置、ハードディスクドライブ（HDD）の磁気ヘッド、磁気センサなどの、種々の用途に用いられている。このような磁気抵抗効果素子のうち、積層面と垂直な方向にセンス電流を流す磁気抵抗効果素子の一つであるTMR素子（トンネル磁気効果素子）は、MR比（磁気抵抗比）が高いことから、種々の用途で用いられるようになってきている。

【0003】

また、MRAMは、不揮発性であり、従来より使用されているDRAM（ダイナミックランダムアクセスメモリ）の一つの欠点である揮発性を解決できることから、その研究が進められている。

【0004】

ここで、TMR素子を用いたMRAMの2つの従来例について、図面を参照して説明する。

【0005】

まず、第1の従来例について、図39を参照して説明する。図39は、第1の従来例のMRAMの1つのメモリセルの付近を示す概略断面図である。このMRAMでは、図39中の左右方向に延在し図39中の紙面に垂直な方向に間隔をあけて配置された複数の上部導体配線1と、図39中の紙面に垂直な方向に延在し図39中の左右方向に間隔をあけて配置された複数の下部導体配線2とを、有している。これらの配線1、2の交差点にメモリセルとしてのTMR素子3がそれぞれ配置されている。TMR素子3は、絶縁層からなるトンネルバリア層4と、これを挟む2つの磁性層5、6と、反強磁性層からなるピン層7とから構成されている。ピン層7によって下側の磁性層6の磁化方向が固定され、磁性層6がピンド層となっている。一方、上側の磁性層5は、外部磁場によって変化するフリー層となっている。上側の磁性層5は上部導体配線1に電気的に接続され、ピン層7は下部導体配線2に電気的に接続されている。

【0006】

この第1の従来例では、1つのメモリセルは、1つのTMR素子3で構成されている。そして、TMR素子3は、トンネルバリア層4とこれを挟む2つの磁性層との重なり領域（トンネル接合領域）は1つしか有していない。

【0007】

5 TMR素子3にデータを書き込む際には、当該TMR素子3に接続された上部導体配線1及び下部導体配線2に電流を流すことで生ずる両者の合成電流磁場によって、フリー層5の磁化の向きを設定する。配線1、2のうちの一方の電流方向を変えることで、フリー層5の磁化の向きを、ピンド層6の磁化の向きに対して平行・反平行に切り替えることができる。

【0008】

10 TMR素子3は、磁性層5,-6の磁化の方向が平行（同一）の場合、磁性層5,-6の一方からトンネルバリア層5,3を介して他方へ流れる電流の抵抗値は低く（R）なり、反平行の場合はそれが高くなる（R+ΔR）性質を持つ。したがって、「0」、「1」（又はその逆）のデータを、抵抗値R、及びR+ΔRにそれぞれに対応させて、記憶させることができる。なお、このときのΔR/RがTMR素子3のMR比となる。データの読み出し時には、上部配線層1→各層5, 4, 6, 7→下部配線層2の経路（又は逆の経路）で電流（センス電流）を流し、この電流に基づいて前記抵抗値の大小を検出することで、TMR素子3に書き込まれたデータを読み出す。

【0009】

20 以上の説明からわかるように、データの書き込み時のみならずデータの読み出し時にも、複数の上部導体配線1のうちの1本を選択とともに前記複数の下部導体配線3のうちの1本を選択することで特定のTMR素子3（メモリセル）が選択され、選択されたTMR素子3に対してデータの読み出し／書き込みが行われる。

【0010】

25 なお、図39において、層8は、前記書き込み及び読み出しを行うための回路を半導体基板9と共に形成する回路素子構成部分や配線等を含んでいるが、その詳細な図示は省略する。TMR素子3及び導体配線1, 2は、半導体基板9及び層8上に形成されている。半導体基板9及び層8は、全体として、いわゆるIC基板に相当する。

【0011】

30 以上説明した第1の従来例に相当するMRAMが、特許文献1に開示されている。

【0012】

次に、第2の従来例のMRAMについて、図40及び図41を参照して説明する。図40は第2の従来例のMRAMの読み出し回路を示す回路図、図41はその構造を示す断面

図である。この第2の従来例は、特許文献2に開示されたMRAMである。このMRAM 100では、各メモリセルとして1個ずつのTMR素子が用いられ、TMR素子（トンネル接合を有する磁気積層体）MS0～MS3が電気的に直列に接続され、各TMR素子MS0～MS3にそれぞれトランジスタX0～X3がビアVU1, VL1, VU2, VL2, 5 VU3を介して電気的に接続されている。TMR素子MS0～MS3の直列接続の一端はスイッチS1を介してビット線BLに接続され、その他端は接地されている。なお、図4 1において、108, 110, 112, 114, 116, 118はスイッチS1, トランジスタX3～X1を構成するソース／ドレイン領域（+n領域）、PCはスイッチS1, トランジスタX3～X1を構成するゲートである。また、120, 122, 124, 12 10 6, 128は金属板である。

【0013】

この第2の従来例も前記第1の従来例と基本的にデータの読み書きの原理は同様であるが、第2の従来例では、データの書き込みは、TMR素子MS0～MS3に対して共通してこれらの上方に配置されたビット線BLと、TMR素子MS0～MS3に対して1対1 15 にその下方に設けられたワード線WLとの、合成電流磁場によって行われる。一方、データの読み出しへは、トランジスタX0～X3のうちの1つのみを選択的にオフするとともに残りをオンにし、スイッチS1をオンすることで、選択的にオフにしたトランジスタに対応するTMR素子が選択され、このTMR素子からの電流が出力されることにより、行われる。

【0014】

この第2の従来例も、前記第1の従来例と同様に、1つのメモリセルが1つのTMR素子で構成されている。そして、各TMR素子は、トンネルバリア層とこれを挟む2つの磁性層との重なり領域（トンネル接合領域）は1つしか有していない。

【0015】

前記第2の従来例では、前記第1の従来例に比べて、メモリの高容量化の点で優れている。すなわち、前記第1の従来例のメモリ装置の構造は一般的にNOR型回路といわれ、メモリの高速動作に適した回路構成と言われる。しかし、欠点として配線が複雑になるため、メモリ容量の高容量化に対しては適した構造ではない。個々のアドレスを指定する事になるのでアドレス制御線が多数必要となり、またその指定の仕方が複雑化する欠点がある。一方、前記第2の従来例では、読み出し回路に、前述した回路構成が採用されており、いわゆるNAND型回路が採用されている。したがって、トランジスタX0～X3のドレイン／ソースを共用されることにより、トランジスタ間の配線に関して特別な導体パター 25 30

ンによる配線が必要なくなり、トランジスタの配置密度を向上させることができ、ひいては、メモリ容量の高容量化を図ることができるのである。

【0016】

【特許文献1】

5 特開2002-249565号公報

【特許文献2】

米国特許出願公開第2002/0097598号明細書

【0017】

しかし、前記第1及び第2の従来例で採用されているような一般的なTMR素子では、
10 TMR素子が有する電圧バイアス特性に起因して実際に得られるMR比が低下してしまう
という欠点があった。この点について説明する。

【0018】

TMR素子はデータを読み出したりその他の磁気検出を行ったりする際、TMR素子の
2つの磁性層（トンネルバリア層を挟んでいる2つの磁性層）の間にセンス電流を流す必
要がある。そのため、この電流を流すための前記2つの磁性層の間に電圧を印加する。し
かしながら、一般的にTMR素子の磁気抵抗の変化率（MR比=ΔR/R）は50%以下
であって、必ずしも高くなく、その上、TMR素子は、積層方向に電流を流すために印加
する電圧が大きくなるとMR比が低下する性質（電圧バイアス特性）を有する。その変化
は、TMR素子の構成にもよるが、例えば印加電圧が0.5V程度に大きくなると、既に
20 MR比が約半分以下になってしまう。

【0019】

したがって、前記第1及び第2の従来例では、読み出し信号のS/N比が低下し、データ
読み出しの信頼性を必ずしも十分に高めることができなかつた。

【0020】

25 MR比の向上は、TMR素子がMRAMで用いられる場合のみならず、TMR素子が磁
気ヘッドや磁気センサ等において用いられる場合においても、最重要課題である。

【0021】

また、前記第2の従来例の場合、読み出し回路にNAND回路を採用する上で、TMR
素子の入出力端（センス電流の流入端と流出端）の両方を基板側に電気的に接続すること
30 が不可欠である。前記第2の従来例では、TMR素子MS0～MS3の基板側の端部をビ
アVL1, VL2を用いて基板に接続し、TMR素子MS0～MS3の基板と反対側の端
部をビアVU1, VU2, VU3を用いて基板に接続している。ところが、TMR素子の
トンネル接合領域には積層面と垂直にセンス電流を流さなければならないことから、TM

R素子MS0～MS3の一方の端部は他方の端部に対して基板から離れざるを得ない。したがって、ビアVU1, VU2, VU3は、ビアVL1, VL2に比べて、高さが高くなりより多くの層数を跨るように形成しなければならない。しかし、多くの層数に跨るようなビアを形成することは、製造プロセス上困難となってしまう。

5 【0022】

このように、前記第2の従来例ではメモリ容量の高容量化に適したものでありながら、製造プロセスを簡単にすることができない。

【0023】

ここでは、前記第2の従来例を例に挙げて説明したが、積層面と垂直にセンス電流を流す磁気抵抗効果素子を用いる種々の用途においても、当該磁気抵抗効果素子の入出力端を基板側に接続する必要があることは、しばしばある。このような場合、前記第2の従来例と同様の理由で、製造プロセスを簡単にすることができない。

SUMMARY OF THE INVENTION

【0024】

15 本発明は、このような事情に鑑みてなされたもので、電圧バイアス特性に起因するMR比の低下を改善することができる磁気抵抗効果素子及びこれを用いたメモリ装置を提供することを目的とする。

【0025】

20 また、本発明は、磁気抵抗効果素子の入出力端の電気的な接続に伴う製造プロセスを簡単にすることができる磁気抵抗効果素子及びこれを用いたメモリ装置を提供することを目的とする。

また、本発明は、メモリ容量の高容量化を図ることができるとともに、データ読み出しの信頼性を高めることができ、しかも、磁気抵抗効果素子の入出力端の電気的な接続に伴う製造プロセスを簡単にすることができるメモリ装置を提供することを目的とする。

25 【0026】

前記課題を解決するため、本発明の第1の態様によるメモリ装置は、(b) 電気的に直列に接続された複数のメモリセルと、前記各メモリセルに1つずつ並列接続された複数のスイッチング素子とを備え、(b) 前記各メモリセルは、複数の磁気抵抗効果素子部を有する磁気抵抗効果素子で構成され、(c) 前記各磁気抵抗効果素子は、基体の一方の面側に積層されかつ互いにに対して積層面に沿った方向に配置され、(d) 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部が電気的に直列接続されて電気的な直列接続体を構成し、(e) 前記各磁気抵抗効果素子において、前記直列接続体の両端は、磁気抵抗変化を検出するためのセンス電流が、前記直列接続体の一端から流入して前記各磁気抵抗効果素子部

の磁気抵抗変化に有効な有効領域を積層面を貫く方向に順次経由して前記直列接続体の他端から流出するように、センス電流供給部と電気的に接続され、(f) 前記各スイッチング素子は、当該スイッチング素子の制御入力部に入力された信号に応じて、当該スイッチング素子が並列接続された前記磁気抵抗効果素子の前記直列接続体の前記一端と前記他端との間をオン・オフするものである。

この第1の態様によれば、電気的に直列に接続された複数のメモリセルと、前記各メモリセルに1つずつ並列接続された複数のスイッチング素子とを備えており、いわゆるNAND型回路が採用されている。したがって、メモリ容量の高容量化を図ることができる。

前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部がそれぞれ従来的一般的な磁気抵抗効果素子に相当するが、これらが直列接続されている。したがって、印加電圧が個々の磁気抵抗効果素子部に対して分圧として印加されるので、個々の磁気抵抗効果素子部に掛かる電圧が小さくなる。このため、前記磁気抵抗効果素子では、電圧バイアス特性に起因するMR比の低下が少なくなり、MR比が向上する。したがって、前記第1の態様によれば、データ読み出しの信頼性が高まる。

ところで、個々の磁気抵抗効果素子部を直列接続する別の手法として、複数の磁気抵抗効果素子部を積み上げることが考えられる。しかしながら、この場合には、製造時に、個々の磁気抵抗効果素子部の成膜をその数だけ繰り返さなければならない。このため、製造に著しく手数を要するとともに歩留りが低下し、コストが増大する。例えば、磁気抵抗効果素子部がTMR素子部である場合、トンネルバリア層は非常に薄くわずかな製造条件の違20いで所望の特性が得られなくなってしまい、そのトンネルバリア層の成膜は非常に困難である。このようなトンネルバリア層の成膜を複数回繰り返さなければならないとすれば、製造が著しく困難になるとともに歩留りが大幅に低下することは、避けられない。

これに対し、前記第1の態様では、前記複数の磁気抵抗効果素子部は、互いに対して積層面に沿った方向に配置されているので、各磁気抵抗効果素子部の層を一括して同時に成膜することができ、製造が容易で歩留りも低下しない。

【0027】

本発明の第2の態様によるメモリ装置は、(a) 配列された複数のブロックを備え、(b) 前記各ブロックは、電気的に直列に接続された複数のメモリセルと、前記各メモリセルに1つずつ並列接続された複数のスイッチング素子とを含み、(c) 前記各メモリセルは、複数の磁気抵抗効果素子部を有する磁気抵抗効果素子で構成され、(d) 前記各磁気抵抗効果素子は、基体の一方の面側に積層されかつ互いに対して積層面に沿った方向に配置され、(e) 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部が電気的に直列接続されて電気的な直列接続体を構成し、(f) 前記各磁気抵抗効果素子において、前記直列接

続体の両端は、磁気抵抗変化を検出するためのセンス電流が、前記直列接続体の一端から流入して前記各磁気抵抗効果素子部の磁気抵抗変化に有効な有効領域を積層面を貫く方向に順次経由して前記直列接続体の他端から流出するように、センス電流供給部と電気的に接続され、(g) 前記各スイッチング素子は、当該スイッチング素子の制御入力部に入力された信号に応じて、当該スイッチング素子が並列接続された前記磁気抵抗効果素子の前記直列接続体の前記一端と前記他端との間をオン・オフするものである。

この第2の態様によれば、ブロック構成を採用しているので、NAND型回路を採用してメモリ容量の高容量化を実現しつつ、高速なランダムアクセスが可能となる。

【0028】

本発明の第3の態様によるメモリ装置は、前記第2の態様において、(a) 前記複数のブロックが行方向及び列方向に2次元マトリクス状に配置されるとともに、前記各ブロックの前記複数のメモリセルが列方向に配置され、(b) 前記複数のブロックの前記複数のスイッチング素子の前記制御入力部が、各行毎に、各々が各行に対応した複数の第1の読み出し選択線によって共通して接続され、(c) 前記各ブロックは、当該ブロックの前記複数のメモリセルの一方の直列接続端に接続された選択スイッチを含み、(d) 前記複数ブロックの前記複数のメモリセルの他方の直列接続端が、各列毎に、各々が各列に対応した複数の読み出し線によって共通して接続され、(e) 前記複数のブロックの前記選択スイッチの制御入力部が、各列毎に、各々が各列に対応した複数の第2の読み出し選択線によって共通して接続されたものである。

この第3の態様は、高速なランダムアクセスが可能なブロック構成の一具体例を挙げたものである。

【0029】

本発明の第4の態様によるメモリ装置は、前記第1乃至第3のいずれかの態様において、前記各スイッチング素子が電界効果トランジスタであるものである。

この第4の態様によれば、電界効果トランジスタのドレイン／ソースを共用させることによりNAND型回路を実現することができ、トランジスタ間の配線に関して特別な導体パターンによる配線が必要なくなり、トランジスタの配置密度を向上させることができ、ひいては、更にメモリ容量の高容量化を図ることができる。

【0030】

本発明の第5の態様によるメモリ装置は、前記第1乃至第4のいずれかの態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、同一の層構造を持つものである。

この第5の態様によれば、各磁気抵抗効果素子部が同一の層構造を持つので、各磁気抵

抗効果素子部の層を一括して同時に成膜することができ、製造が容易となる。

【0031】

本発明の第6の態様によるメモリ装置は、前記第1乃至第5のいずれかの態様において、前記各磁気抵抗効果素子において、前記センス電流は、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される一対の磁気抵抗効果素子部において、前記有効領域を互いに逆向きに流れるものである。

前記第1乃至第5の態様では、前記一対の磁気抵抗効果素子部においてセンス電流が同じ向きに流れるようにすることも可能である。しかしながら、前記第6の態様のように逆向きに流れるようすれば、前記一対の磁気抵抗効果素子部の同じ側同士を電気的に接続すればよい。このため、複数の磁気抵抗効果素子部の直列接続のための電気的な接続を容易に行うことができる、好ましい。

【0032】

本発明の第7の態様によるメモリ装置は、前記第1乃至第6のいずれかの態様において、前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部を構成する少なくとも1つの層と他方の磁気抵抗効果素子部を構成する対応する層とが、それぞれ同一材料で一体に形成されることにより、行われたものである。

この第7の態様のような構造を採用すると、複数の磁気抵抗効果素子部の直列接続のための電気的な接続を容易に行うことができるので、好ましい。

【0033】

本発明の第8の態様によるメモリ装置は、前記第1乃至第8のいずれかの態様において、前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部の数は偶数であるものである。

この第8の態様によれば、前記複数の磁気抵抗効果素子部の数が偶数であるので、当該磁気抵抗効果素子の入出力端（前記直列接続体の一端と他端）を同じ側に配置することができる。したがって、磁気抵抗効果素子の入出力端を両方とも同じ側に電気的に接続する必要がある場合、磁気抵抗効果素子の入出力端の電気的な接続に伴う製造プロセスを簡単にすることができる。

【0035】

本発明の第9の態様によるメモリ装置は、前記第8の態様において、前記各磁気抵抗効果素子において、前記直列接続体の前記一端は、1つの磁気抵抗効果素子部の前記基体側の層であり、前記各磁気抵抗効果素子において、前記直列接続体の前記他端は、他の1つ

の磁気抵抗効果素子部の前記基体側の層であるものである。

この第9の態様によれば、当該磁気抵抗効果素子の入出力端（前記直列接続体の一端と他端）が両方とも、前記基体側に位置する。したがって、磁気抵抗効果素子の入出力端を両方とも基体側に電気的に接続する必要がある場合、磁気抵抗効果素子の入出力端の電気的な接続に伴う製造プロセスを簡単にすることができる。

【0036】

本発明の第10の態様によるメモリ装置は、前記第1乃至第9のいずれかの態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、第1及び第2の磁性層を含むものである。

【0037】

本発明の第11の態様によるメモリ装置は、前記第10の態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、前記第1及び第2の磁性層の間に挟まれたトンネルバリア層を含むものである。この第11の態様は、前記各磁気抵抗効果素子部をTMR素子部とした例である。

【0038】

本発明の第12の態様によるメモリ装置は、前記第10の態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、前記第1及び第2の磁性層の間に挟まれた非磁性金属層を含むものである。この第12の態様は、前記各磁気抵抗効果素子部を、センス電流を積層面に対して略垂直に流すGMR (Giant Magneto-Resistive) 素子部とした例である。

【0039】

本発明の第13の態様によるメモリ装置は、前記第10乃至第12のいずれかの態様において、前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される少なくとも一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第1の磁性層と他方の磁気抵抗効果素子部の前記第1の磁性層とが、それぞれ同一材料で一体に形成されることにより、行わたるものである。

この第13の態様のような構造を採用すると、複数の磁気抵抗効果素子部の直列接続のための電気的な接続を容易に行うことができるので、好ましい。

【0040】

本発明の第14の態様によるメモリ装置は、前記第10乃至第13のいずれかの態様において、前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される少なくとも一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気

抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第2の磁性層と他方の磁気抵抗効果素子部の前記第2の磁性層とが、それぞれ同一材料で一体に形成されることにより、行われたものである。

この第14の態様のような構造を採用すると、複数の磁気抵抗効果素子部の直列接続の
5ための電気的な接続を容易に行うことができるので、好ましい。

【0041】

本発明の第15の態様によるメモリ装置は、前記第10乃至第14のいずれかの態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部の前記第1の磁性層は、磁化方向が外部磁場によって変化するフリー層であり、前記各磁気抵抗効果素子部の前記第2の磁性層は、磁化方向が一定方向に固定されたピンド層であるものである。
10

この第15の態様のように、前記第1及び第2の磁性層をフリー層とピンド層にすること
が一般的であるが、前記第7乃至第11の態様では、これに限定されない。

【0042】

本発明の第16の態様によるメモリ装置は、前記第15の態様において、前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部の前記第2の磁性層の磁化方向が同一であるものである。
15

この第16の態様によれば、前記複数の磁気抵抗効果素子部の前記第2の磁性層の磁化方向が同一であるので、外部磁場が各フリー層へ同じように作用した場合に、適切に作動させることができる。

【0043】

本発明の第17の態様によるメモリ装置は、前記第15又は第16の態様において、前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部の前記第1の磁性層は、前記第2の磁性層の前記基体とは反対側に配置されたものである。
20

この第17の態様によれば、外部磁場の作用を前記基体とは反対側から受ける場合、外部磁場をフリー層が感度良く受けることになるので、好ましい。
25

【0044】

本発明の第18の態様によるメモリ装置は、前記第1乃至第17のいずれかの態様において、前記各磁気抵抗効果素子に対して、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第1の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第2の状態とに、切り替える磁場を与えるための、2本の書き込み線がそれぞれ配置され、前記2本の書き込み線が生ずる合成磁場によって、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられるものである。
30

この第18の態様によれば、前記第1の状態と前記第2の状態とに切り替えられるので、前記複数の磁気抵抗効果素子部を総合した全体としての磁気抵抗変化が大きくなる。このため、データ読み出しの信頼性がより高まる。

【0045】

5 本発明の第19の態様によるメモリ装置は、前記第17の態様において、前記各磁気抵抗効果素子に対して、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第1の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第2の状態とに、切り替える磁場を与えるための、2本の書き込み線がそれぞれ配置され、前記2本の書き込み線が生ずる合成磁場によって、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられ、当該磁気抵抗効果素子に対して、前記2本の書き込み線が生ずる磁場を前記フリー層へ案内する磁路形成層が設けられたものである。

この第19の態様によれば、書き込み線が生ずる磁場が磁路形成層によってフリー層へ効率良く与えられるので、書き込み線へ流す電流を抑えることができる。このため、書き込み線の断面積を小さくすることでより高容量化が可能となるとともに、消費電流を小さくすることができる。また、磁路形成層は、磁気シールドとしても作用するので、データ書き込み時のメモリセル同士の磁気的な影響を低減することができる。

【0046】

本発明の第20の態様によるメモリ装置は、前記第19の態様において、前記各磁気抵抗効果素子に対してそれぞれ配置された2本の書き込み線は、前記積層面に沿った互いに異なる方向に延びて互いに交差し、前記各磁気抵抗効果素子に対して設けられた前記磁路形成層は、当該磁気抵抗効果素子に対して配置された前記2本の書き込み線が生ずる合成磁場を、当該2本の書き込み線の交差部の四隅付近において当該磁気抵抗効果素子の前記フリー層へ案内するものである。

この第20の態様によれば、前記磁路形成層が合成磁場を前記交差部の四隅付近においてフリー層へ案内するので、書き込みのために本来的に必要な磁場が効率良くフリー層へ与えられる。

【0047】

本発明の第21の態様によるメモリ装置は、前記第18乃至第20のいずれかの態様において、前記各磁気抵抗効果素子に対してそれぞれ配置された前記2本の書き込み線は、互いに電気的に絶縁されたものである。

【0048】

この第21の態様によれば、書き込み線が互いに電気的に絶縁されているので、目的の

メモリセルに書き込みのための電流を安定して供給することができる。

【0049】

本発明の第22の態様によるメモリ装置は、前記第18乃至第21のいずれかの態様において、前記各磁気抵抗効果素子に対してそれぞれ配置された2本の書き込み線は、当該

5 磁気抵抗効果素子の前記基体とは反対の側に配置されたものである。

【0050】

前記課題を解決するため、本発明の第23の態様による磁気抵抗効果素子は、基体の一方の面側に積層されかつ互いに對して積層面に沿った方向に配置された複数の磁気抵抗効果素子部を備え、前記各磁気抵抗効果素子部が電気的に直列接続されて電気的な直列接続

10 体を構成し、前記直列接続体の両端は、磁気抵抗変化を検出するためのセンス電流が、前

記直列接続体の一端から流入して前記各磁気抵抗効果素子部の磁気抵抗変化に有効な有効領域を積層面を貫く方向に順次経由して前記直列接続体の他端から流出するように、センス電流供給部と電気的に接続されるものである。

この第23の態様では、前記複数の磁気抵抗効果素子部がそれぞれ従来の一般的な磁気抵抗効果素子に相当するが、これらが直列接続されている。したがって、印加電圧が個々の磁気抵抗効果素子部に対して分圧として印加されるので、個々の磁気抵抗効果素子部に掛かる電圧が小さくなる。このため、電圧バイアス特性に起因するMR比の低下が少なくなり、MR比が向上する。

ところで、個々の磁気抵抗効果素子部を直列接続する別の手法として、複数の磁気抵抗効果素子部を積み上げることが考えられる。しかしながら、この場合には、製造時に、個々の磁気抵抗効果素子部の成膜をその数だけ繰り返さなければならない。このため、製造に著しく手数を要するとともに歩留りが低下し、コストが増大する。例えば、磁気抵抗効果素子部がTMR素子部である場合、トンネルバリア層は非常に薄くわずかな製造条件の違いで所望の特性が得られなくなってしまい、そのトンネルバリア層の成膜は非常に困難である。このようなトンネルバリア層の成膜を複数回繰り返さなければならないとすれば、製造が著しく困難になるとともに歩留りが大幅に低下することは、避けられない。

これに対し、前記第23の態様では、前記複数の磁気抵抗効果素子部は、互いに對して積層面に沿った方向に配置されているので、各磁気抵抗効果素子部の層を一括して同時に成膜することができ、製造が容易で歩留りも低下しない。

【0051】

本発明の第24の態様による磁気抵抗効果素子は、前記第23の態様において、前記各磁気抵抗効果素子部は、同一の層構造を持つものである。

この第24の態様によれば、各磁気抵抗効果素子部が同一の層構造を持つので、各磁気

抵抗効果素子部の層を一括して同時に成膜することができ、製造が容易となる。

【0052】

本発明の第25の態様による磁気抵抗効果素子は、前記第23又は第24の態様において、前記センス電流は、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される一对の磁気抵抗効果素子部において、前記有効領域を互いに逆向きに流れるものである。

前記第23及び第24の態様では、前記一对の磁気抵抗効果素子部においてセンス電流が同じ向きに流れるようにすることも可能である。しかしながら、前記第25の態様のように逆向きに流れるようすれば、前記一对の磁気抵抗効果素子部の同じ側同士を電気的に接続すればよい。このため、複数の磁気抵抗効果素子部の直列接続のための電気的な接続を容易に行うことができるので、好ましい。

【0053】

本発明の第26の態様による磁気抵抗効果素子は、前記第23乃至第25のいずれかの態様において、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される一对の磁気抵抗効果素子部同士の接続は、当該一对の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部を構成する少なくとも1つの層と他方の磁気抵抗効果素子部を構成する対応する層とが、それぞれ同一材料で一体に形成されることにより、行われたものである。

この第4の態様のような構造を採用すると、複数の磁気抵抗効果素子部の直列接続のための電気的な接続を容易に行うことができるので、好ましい。

【0054】

本発明の第27の態様による磁気抵抗効果素子は、前記第23乃至第26のいずれかの態様において、前記複数の磁気抵抗効果素子部の数は偶数であるものである。

この第27の態様によれば、前記複数の磁気抵抗効果素子部の数が偶数であるので、当該磁気抵抗効果素子の入出力端（前記直列接続体の一端と他端）を同じ側に配置することができる。したがって、磁気抵抗効果素子の入出力端を両方とも同じ側に電気的に接続する必要がある場合、磁気抵抗効果素子の入出力端の電気的な接続に伴う製造プロセスを簡単にすることができる。

【0055】

本発明の第28の態様による磁気抵抗効果素子は、前記第27の態様において、前記直列接続体の前記一端は、1つの磁気抵抗効果素子部の前記基体側の層であり、前記直列接続体の前記他端は、他の1つの磁気抵抗効果素子部の前記基体側の層であるものである。

この第28の態様によれば、当該磁気抵抗効果素子の入出力端（前記直列接続体の一端と他端）が両方とも、前記基体側に位置する。したがって、磁気抵抗効果素子の入出力端を両方とも基体側に電気的に接続する必要がある場合、磁気抵抗効果素子の入出力端の電

気的な接続に伴う製造プロセスを簡単にすることができます。

【0056】

本発明の第29の態様による磁気抵抗効果素子は、前記第23乃至第28のいずれかの態様において、前記各磁気抵抗効果素子部は、第1及び第2の磁性層を含むものである。

5 【0057】

本発明の第30の態様による磁気抵抗効果素子は、前記第29の態様において、前記各磁気抵抗効果素子部は、前記第1及び第2の磁性層の間に挟まれたトンネルバリア層を含むものである。この第30の態様は、前記各磁気抵抗効果素子部をTMR素子部とした例である。

10 【0058】

本発明の第31の態様による磁気抵抗効果素子は、前記第29の態様において、前記各磁気抵抗効果素子部は、前記第1及び第2の磁性層の間に挟まれた非磁性金属層を含むものである。この第31の態様は、前記各磁気抵抗効果素子部を、センス電流を積層面に対して略垂直に流すGMR (Giant Magneto-Resistive) 素子部とした例である。

15 【0059】

本発明の第32の態様による磁気抵抗効果素子は、前記第29乃至第31のいずれかの態様において、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される少なくとも一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第1の磁性層と他方の磁気抵抗効果素子部の前記第1の磁性層20 とが、それぞれ同一材料で一体に形成されることにより、行われたものである。

この第32の態様のような構造を採用すると、複数の磁気抵抗効果素子部の直列接続のための電気的な接続を容易に行うことができるので、好ましい。

【0060】

本発明の第33の態様による磁気抵抗効果素子は、前記第29乃至第32のいずれかの態様において、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される少なくとも一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第2の磁性層と他方の磁気抵抗効果素子部の前記第2の磁性層とが、それぞれ同一材料で一体に形成されることにより、行われたものである。

この第33の態様のような構造を採用すると、複数の磁気抵抗効果素子部の直列接続のための電気的な接続を容易に行うことができるので、好ましい。

【0061】

本発明の第34の態様による磁気抵抗効果素子は、前記第29乃至第33のいずれかの態様において、前記各磁気抵抗効果素子部の前記第1の磁性層は、磁化方向が外部磁場に

よって変化するフリー層であり、前記各磁気抵抗効果素子部の前記第2の磁性層は、磁化方向が一定方向に固定されたピンド層であるものである。

この第34の態様のように、前記第1及び第2の磁性層をフリー層とピンド層にすることが一般的であるが、前記第29乃至第33の態様では、これに限定されない。

5 【0061】

本発明の第35の態様による磁気抵抗効果素子は、前記第34の態様において、前記複数の磁気抵抗効果素子部の前記第2の磁性層の磁化方向が同一であるものである。

この第35の態様によれば、前記複数の磁気抵抗効果素子部の前記第2の磁性層の磁化方向が同一であるので、外部磁場が各フリー層へ同じように作用した場合に、適切に作動

10 させることができる。

【0062】

本発明の第36の態様による磁気抵抗効果素子は、前記第34又は第35の態様において、前記各磁気抵抗効果素子部の前記第1の磁性層は、前記第2の磁性層の前記基体とは反対側に配置されたものである。

15 この第14の態様によれば、外部磁場の作用を前記基体とは反対側から受ける場合、外部磁場をフリー層が感度良く受けことになるので、好ましい。

【0063】

本発明の第37の態様による磁気抵抗効果素子は、前記第35乃至第36のいずれかの態様において、前記各磁気抵抗効果素子部の前記第1の磁性層が軟磁性材料で構成された

20 ものである。

【0064】

この第37の態様のようにフリー層を軟磁性材料で構成すると、フリー層の磁化方向が外部磁場の大きさに応じてアナログ的に変化し易くなる。このため、この第37の態様による磁気抵抗効果素子は、磁気センサ等に用いるのに最適である。もっとも、前記34乃至第36の態様では、フリー層を磁気的に比較的ハードな材料で構成してもよい。

【0065】

本発明の第38の態様によるメモリ装置は、データを記憶するメモリセルを備え、該メモリセルが前記第23乃至第37のいずれかの態様による磁気抵抗効果素子を含むものである。

30 【0066】

この第38の態様によれば、前記磁気抵抗効果素子の電圧バイアス特性に起因するMR比の低下が少なくてMR比が向上するので、読み出し信号のS/N比が向上する。このため、データ読み出しの信頼性が高まる。

【0067】

本発明の第39の態様によるメモリ装置は、前記第38の態様において、前記磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第1の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第2の状態とに、切り替える磁場を与えるための、1本以上の書き込み線を備えたものである。
5

【0068】

この第39の態様によれば、前記第1の状態と前記第2の状態とに切り替えられるので、前記複数の磁気抵抗効果素子部を総合した全体としての磁気抵抗変化が大きくなる。この
10ため、データ読み出しの信頼性がより高まる。

【0069】

本発明の第40の態様によるメモリ装置は、前記第39の態様において、前記1本以上の書き込み線の本数が2本であり、前記2本の書き込み線が生ずる合成磁場によって、前記磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられるものである。
15

【0070】

この第40の態様によれば、2本の書き込み線によって複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられるので、メモリセルをマトリクス状に配置する場合であつても、書き込み線の数を抑えることができるため、好ましい。

【0071】

本発明の第41の態様によるメモリ装置は、前記第36の態様による磁気抵抗効果素子を含みデータを記憶するメモリセルと、前記磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第1の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第2の状態とに、切り替える磁場を与えるための、1本以上の書き込み線と、前記1本以上の書き込み線が生ずる磁場を前記フリー層へ案内する磁路形成層と、を備えたものである。
25

【0072】

この第41の態様によれば、書き込み線が生ずる磁場が磁路形成層によってフリー層へ効率良く与えられるので、書き込み線へ流す電流を抑えることができる。このため、書き込み線の断面積を小さくすることでより高容量化が可能となるとともに、消費電流を小さくすることができる。また、磁路形成層は、磁気シールドとしても作用するので、データ書き込み時のメモリセル同士の磁気的な影響を低減することができる。
30

【0073】

本発明の第42の態様によるメモリ装置は、前記第41の態様において、前記1本以上の書き込み線の本数が2本であり、前記2本の書き込み線が生ずる合成磁場によって、前記磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられ、前記2本の書き込み線が前記積層面に沿った互いに異なる方向に延びて互いに交差し、前記磁路形成層は、前記2本の書き込み線が生ずる合成磁場を、前記2本の書き込み線の交差部の四隅付近において前記フリー層へ案内するものである。

【0074】

この第42の態様によれば、前記磁路形成層が合成磁場を前記交差部の四隅付近においてフリー層へ案内するので、書き込みのために本来的に必要な磁場が効率良くフリー層へ与えられる。

【0075】

本発明の第43の態様によるメモリ装置は、前記第39乃至第42のいずれかの態様において、前記1本以上の書き込み線は、互いに電気的に絶縁されたものである。

【0076】

この第43の態様によれば、書き込み線が互いに電気的に絶縁されているので、目的のメモリセルに書き込みのための電流を安定して供給することができる。

【0077】

本発明の第44の態様によるメモリ装置は、前記第39乃至第43のいずれかの態様において、前記1本以上の書き込み線は、前記磁気抵抗効果素子の前記基体とは反対の側に配置されたものである。

【0078】

一般的に磁気抵抗効果素子の形成にはその下地の平面度が極めて高い必要がある。そのため、磁気抵抗効果素子の下地についてはCMP等を使って十分に平坦にする必要がある。ところが、書き込み線には書き込みのために比較的大きな電流を流す必要があることから、書き込み線の厚さは比較的厚い。このため、磁気抵抗効果素子の作製前に書き込み線を作製すると、磁気抵抗効果素子の下地の凹凸が大きくなり、その下地を十分に平坦にするためには、非常に手間と多くの処理が必要となる。これに対し、前記第44の態様によれば、書き込み線を作製する前に磁気抵抗効果素子を作製することができる。よって、磁気抵抗効果素子の作製の下地が既に十分に平坦化されているあるいは凹凸の少ない面であるので、その下地を容易に極めて高い平坦度の面を形成し易くなる。よって、磁気抵抗効果素子形成プロセスに関しても容易にすることができる。

【0079】

本願明細書では、下記(1)～(4)のメモリ装置も開示する。

(1) 電気的に直列に接続された複数のメモリセルと、前記各メモリセルに1つずつ並列接続された複数のスイッチング素子とを備え、

前記各メモリセルが前記第23乃至第37のいずれかの態様による磁気抵抗効果素子で構成され、

5 前記各スイッチング素子は、当該スイッチング素子の制御入力部に入力された信号に応じて、当該スイッチング素子が並列接続された前記磁気抵抗効果素子の前記直列接続体の前記一端と前記他端との間をオン・オフすることを特徴とするメモリ装置。

【0080】

(2) 配列された複数のブロックを備え、

10 前記各ブロックは、電気的に直列に接続された複数のメモリセルと、前記各メモリセルに1つずつ並列接続された複数のスイッチング素子とを含み、

前記各メモリセルが前記第23乃至第37のいずれかの態様による磁気抵抗効果素子を含み、

15 前記各スイッチング素子は、当該スイッチング素子の制御入力部に入力された信号に応じて、当該スイッチング素子が並列接続された前記磁気抵抗効果素子の前記直列接続体の前記一端と前記他端との間をオン・オフすることを特徴とするメモリ装置。

【0081】

(3) 前記(2)のメモリ装置において、

前記複数のブロックが行方向及び列方向に2次元マトリクス状に配置されるとともに、

20 前記各ブロックの前記複数のメモリセルが列方向に配置され、

前記複数のブロックの前記複数のスイッチング素子の前記制御入力部が、各行毎に、各々が各行に対応した複数の第1の読み出し選択線によって共通して接続され、

前記各ブロックは、当該ブロックの前記複数のメモリセルの一方の直列接続端に接続された選択スイッチを含み、

25 前記複数ブロックの前記複数のメモリセルの他方の直列接続端が、各列毎に、各々が各列に対応した複数の読み出し線によって共通して接続され、

前記複数のブロックの前記選択スイッチの制御入力部が、各列毎に、各々が各列に対応した複数の第2の読み出し選択線によって共通して接続された、ことを特徴とするメモリ装置。

【0082】

(4) 前記(1)～(3)のいずれかのメモリ装置において、前記各スイッチング素子が電界効果トランジスタであるメモリ装置。

【0083】

BRIEF DESCRIPTION OF THE DRAWINGS

【図 1】 本発明の第 1 の実施の形態による TMR 素子を示す概略断面図である。

【図 2】 図 1 中の A-A' 矢視図である。

【図 3】 図 1 に示す TMR 素子の磁化方向の一例を示す図である。

5 【図 4】 図 1 に示す TMR 素子の等価回路図である。

【図 5】 第 1 の実施の形態の変形例による TMR 素子を示す平面図である。

【図 6】 図 5 に示す TMR 素子の磁化方向の一例を示す図である。

【図 7】 図 1 に示す TMR 素子の製造方法の各工程を示す概略断面図である。

【図 8】 本発明の第 2 の実施の形態による TMR 素子を示す概略断面図である。

10 【図 9】 図 8 中の B-B' 矢視図である。

【図 10】 本発明の第 3 の実施の形態による TMR 素子を示す概略断面図である。

【図 11】 図 10 中の C-C' 矢視図である。

【図 12】 図 10 に示す TMR 素子の製造方法の各工程を示す概略断面図である。

【図 13】 本発明の第 4 の実施の形態による TMR 素子を示す概略断面図である。

15 【図 14】 図 13 中の D-D' 矢視図である。

【図 15】 本発明の第 5 の実施の形態による TMR 素子を示す概略断面図である。

【図 16】 図 15 中の E-E' 矢視図である。

【図 17】 図 15 に示す TMR 素子の等価回路図である。

【図 18】 本発明の第 6 の実施の形態による TMR 素子を示す概略断面図である。

20 【図 19】 図 18 中の F-F' 矢視図である。

【図 20】 図 18 に示す TMR 素子の等価回路図である。

【図 21】 本発明の第 7 の実施の形態による TMR 素子を示す概略平面図である。

【図 22】 図 21 中の G-G' 線に沿った概略断面である。

【図 23】 図 21 中の H-H' 線に沿った概略断面である。

25 【図 24】 図 21 中の J-J' 線に沿った概略断面である。

【図 25】 図 21 中の K-K' 線に沿った概略断面である。

【図 26】 本発明の第 8 の実施の形態によるメモリセルと書き込み線との関係を示す概略断面図である。

30 【図 27】 第 8 の実施の形態の変形例を示す概略断面図である。

【図 28】 第 8 の実施の形態の他の変形例を示す概略断面図である。

【図 29】 本発明の第 9 の実施の形態によるメモリ装置のデータ読み出しに関する構成を示す概略構成図である。

【図 30】 本発明の第 9 の実施の形態によるメモリ装置のデータ読み出し回路を構

成する基本単位となる1つのブロックを示す回路図である。

【図31】 本発明の第9の実施の形態によるメモリ装置のデータ書き込みに関する構成を示す図である。

【図32】 本発明の第9の実施の形態によるメモリ装置におけるメモリセルと書き込み線との位置関係を模式的に示す概略斜視図である。

【図33】 図32中のL—L'線に沿った概略断面図である。

【図34】 本発明の第10の実施の形態によるメモリ装置の要部を示す概略斜視図である。

【図35】 図34中の1つのメモリセル付近を拡大した概略斜視図である。

【図36】 図35中のN—N'線に沿った概略断面図である。

【図37】 本発明の他の実施の形態による装置を示す回路図である。

【図38】 本発明の更に他の実施の形態による装置を示す回路図である。

【図39】 第1の従来例のMRAMの1つのメモリセルの付近を示す概略断面図である。

【図40】 第2の従来例のMRAMの読み出し回路を示す回路図である。

【図41】 第2の従来例のMRAMの構造を示す断面図である。

【0084】

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

以下、本発明による磁気抵抗効果素子及びこれを用いたメモリ装置について、図面を参照して説明する。

【0085】

[第1の実施の形態]

【0086】

図1は、本発明の第1の実施の形態による磁気抵抗効果素子としてのTMR素子11を示す概略断面図である。図2は、図1中のA—A'矢視図である。理解を容易にするため、図1及び図2に示すように、互いに直交するX軸、Y軸及びZ軸を定義する（後述する図についても同様である）。また、Z軸方向のうち矢印の向きを+Z方向又は+Z側、その反対の向きを-Z方向又は-Z側と呼び、X軸方向及びY軸方向についても同様とする。また、+Z方向を上、-Z方向を下と呼ぶ場合がある。XY平面が基板21の面と平行になっている。

【0087】

本実施の形態では、TMR素子11は、2つのTMR素子部11A、11Bを有し、これらが、基体としての半導体基板21上の層22の上にそれぞれ積層されている。TMR

素子部11A, 11Bは、互いにに対してX軸方向（積層面に沿った方向）に配置されている。

【0088】

TMR素子部11Aは、下側から順に積層されたピン層12a、磁化方向がピン層12aにより固定されたピンド層（第2の磁性層）13a、トンネルバリア層14a及びフリー層（第1の磁性層）15aからなる積層体で構成されている。TMR素子部11BもTMR素子部11Aと同一の層構造を持ち、下側から順に積層されたピン層12b、磁化方向がピン層12bにより固定されたピンド層（第2の磁性層）13b、トンネルバリア層14b及びフリー層（第1の磁性層）15bからなる積層体で構成されている。

【0089】

ピン層12a, 12bは反強磁性層で構成され、例えば、 PtMn 、 IrMn 、 Ru 、 RhMn 、 FeMn 、 NiMn 、 PdPtMn 、 RhMn 又は CrMnPt などのMn系合金で形成することが好ましい。ピンド層13a, 13b及びフリー層14a, 14bは、それぞれ強磁性層で構成され、例えば、 Fe 、 Co 、 Ni 、 FeCo 、 NiFe 、 CoZrNb 又は FeCoNi などの材料で形成される。ピンド層13a, 13bは、それぞれピン層12a, 12bとの間の交換結合バイアス磁界によってその磁化方向が所定方向に固定されている。一方、フリー層15a, 15bは、外部磁場に応答して磁化の向きが変わることになっている。トンネルバリア層14a, 14bは、絶縁層であり、例えば、 Al_2O_3 、 NiO 、 GdO 、 MgO 、 Ta_2O_5 、 MoO_2 、 TiO_2 又は WO_2 などの材料で形成される。

【0090】

なお、例えば、前記第1及び第2の磁性層13a, 15aとして、特開平9-91949号公報に開示されているような保磁力差を与えたものを用いてもよい。磁性層13b, 15bについても同様である。この場合、ピン層12a, 12bは除去される。この点は、後述する各実施の形態についても同様である。

【0091】

本実施の形態では、図1及び図2に示すように、ピン層12a, 12b間及びピンド層13a, 13b間には、Y軸方向に延びた分離用の絶縁層16が介在され、両者の間が分離されてそれぞれ電気的に絶縁されている。なお、図面には示していないが、絶縁層16は、ピン層12a, 12b及びピンド層13a, 13bの周囲全体に渡って形成されている。一方、フリー層15a, 15bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。これにより、TMR素子部11A, 11Bは、電気的に直列接続されて電気的な直列接続体を構成している。なお、トンネルバリア層14a, 14bは、

4 b は、それぞれ同一の材料で一体に形成され、1つの連続した同一層を構成している。

【0092】

本実施の形態では、図1に示すように、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるピン層12aのみから流入し、TMR素子部11A, 11Bを順次経由した後に前記直列接続体の他端であるピン層12bのみから流出する。なお、電流の向きは逆向きにしてもよいことは、言うまでもない。TMR素子部11Aにおける磁気抵抗変化に有効な有効領域（トンネルバリア層14aとこれを挟んだ2つの層13a, 15aの重なり領域（トンネル接合領域））、及び、TMR素子部11Bにおける磁気抵抗変化に有効な有効領域（トンネルバリア層14bとこれを挟んだ2つの層13b, 15bの重なり領域（トンネル接合領域））を、それぞれ積層面と略垂直な方向に流れれる。センス電流は、TMR素子部11A, 11Bのトンネル接合領域をそれぞれ逆向きに流れれる。

【0093】

TMR素子部11A, 11Bの数が偶数であり、下側のピン層12a及びピンド層13aとピン層12b及びピンド層13bとがそれぞれ電気的に絶縁されているため、前記直列接続体の両端は両方とも、下側（基板側）となっている。

【0094】

本実施の形態では、前記センス電流は、半導体基板21及び層22により構成された回路（図示せず）から供給される。半導体基板21及び層21は、全体として、いわゆるIC基板に相当している。本実施の形態では、層21はセンス電流供給部をなす接続ビア23aがピン層12aの下に形成され、センス電流受領部をなす接続ビア23bがピン層12bの下に形成されている。

【0095】

本実施の形態では、ピンド層13a, 13bの磁化方向は同一に設定され、これにより、一体に形成されたフリー層15a, 15bの磁化方向に対して、2つのピンド層13a, 13bは同時に平行又は反平行の状態を作り出すことができる。

【0096】

本実施の形態のTMR素子11の磁化方向の一例を図3に示す。図3(a)は磁化方向の平行状態を示し、図3(b)は磁化方向の反平行状態を示している。ピンド層13a, 13b及びフリー層15a, 15bの磁化容易化軸の向きは、基本的に、前記絶縁層16が延びるY軸方向に対して平行又は垂直の関係に設定することができる。但し、ピンド層13a, 13bの磁化容易化軸方向が長くなる設計の方が磁化のエネルギーは安定化するので、TMR素子11の寸法関係によりピンド層13aの平面視での形状が長方形になると

き、長手方向に磁化容易軸がくるように設定することが好ましい。そこで、本実施の形態では、図2に示すように、平面視で長方形形状のピンド層13a, 13bのY軸方向の長さがX軸方向の長さより長いので、図3に示すように、ピンド層13a, 13bの磁化方向が-Y方向に設定されている。

5 【0097】

前述した理由で、図5に示すように平面視で長方形形状のピンド層13a, 13bのX軸方向の長さがY軸方向の長さより長い場合は、ピンド層13a, 13bの磁化方向を、図6に示すように、ピンド層13a, 13bの磁化容易軸方向が長くなるX軸方向に設定することが好ましい。

10 【0098】

本実施の形態のTMR素子1-1の等価回路は、図4に示すように、TMR素子部1-1Aの抵抗値を示す可変抵抗器r11aと、TMR素子部1-1Bの抵抗値を示す可変抵抗器r11bとの、直列接続で表される。しかも、一体に形成されたフリー層15a, 15bの磁化の方向の変化に対する可変抵抗器r11a, r11bの抵抗値増減の傾向は同一である。

15 【0099】

ここで、本実施の形態によるTMR素子1-1の製造方法の一例について、図7を参照して説明する。図7は、その各工程を示す概略断面図であり、図1に対応している。

【0100】

20 まず、用途に応じて作製され既に層22が形成された半導体基板21を用意する。次に、層22上に、ピン層12a, 12bとなるべき反強磁性層12、及び、ピンド層13a, 13bとなるべき磁性層13を、スパッタ法又はCVD法等により順次形成する。次いで、フォトリソグラフィー及びエッチングにより、反強磁性層12及び磁性層13を、ピン層12a, 12b及びピンド層13a, 13bの形状に合わせてパターニングする(図7(a))。

25 【0101】

次に、その上に、スパッタ法又はCVD法等により、絶縁層16を成膜する(図7(b))。次いで、CMP(化学的機械的研磨)により、磁性層13が露出するまで平坦化して、図7(a)で除去された層12, 13の部分にのみ絶縁層16を残す(図7(c))。

【0102】

30 次に、図7(c)に示す状態の基板上に、スパッタ法等により、トンネルバリア層14a, 14bとなるべき絶縁層14、及び、一体に連続したフリー層15a, 15bとなるべき磁性層を、順次成膜する(図7(d))。

【0103】

その後、フォトリソグラフィー及びエッチングにより、層15をパターニングする（図7（e））。これにより、TMR素子11が完成する。

【0104】

本実施の形態によれば、前記センス電流を流す際に、TMR素子11にかける印加電圧を必要とするが、2つのTMR素子部11A、11Bが直列接続されているので、印加電圧がそれぞれのTMR素子部11A、11Bに対して分圧として印加される。このため、個々のTMR素子部11A、11Bに掛かる電圧が小さくなる。したがって、電圧バイアス特性に起因するMR比の低下が少なくなり、MR比が向上する。よって、TMR素子11の磁気抵抗変化の検出感度が上がる。

【0105】

また、本実施の形態では、TMR素子11の入出力端が下部に位置するピシ層12a、12bであるため、TMR素子11の入出力端を半導体基板21側に電気的に接続する場合、その入出力端の電気的な接続に伴う製造プロセスを簡単にすることができます。

【0106】

なお、本実施の形態において、トンネルバリア層14a、14bに代えて、それぞれCu等の非磁性金属層を形成することもできる。ただし、この場合には、当該非磁性金属層も、絶縁層16で電気的に分離しておく。この場合、当該磁気抵抗効果素子はGMR素子となる。これらの点は、後述する各実施の形態についても同様である。

【0107】

【第2の実施の形態】

【0108】

図8は、本発明の第2の実施の形態によるTMR素子31を示す概略断面図である。図9は、図8中のB-B'矢視図である。

【0109】

本実施の形態では、TMR素子31は、第1の実施の形態と同様に、2つのTMR素子部31A、31Bを有し、これらが、半導体基板21上の層22の上にそれぞれ積層されている。TMR素子部31A、31Bは、互いにに対してX軸方向（積層面に沿った方向）に配置されている。

【0110】

TMR素子部31Aは、下側から順に積層されたフリー層（第1の磁性層）32a、トンネルバリア層33a、ピンド層（第2の磁性層）34a及びピン層35aからなる積層体で構成されている。TMR素子部31BもTMR素子部31Aと同一の層構造を持ち、下側から順に積層されたフリー層（第1の磁性層）32b、トンネルバリア層33b、ピ

ンド層（第2の磁性層）34b及びピン層35bからなる積層体で構成されている。

【0111】

本実施の形態では、図8及び図9に示すように、フリー層32a, 32b間には、Y軸方向に延びた分離用の絶縁層36が介在され、両者の間が分離されて電気的に絶縁されている。一方、ピンド層34a, 34bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。また、ピン層35a, 35bも、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。これにより、TMR素子部31A, 31Bは、電気的に直列接続されて電気的な直列接続体を構成している。なお、トンネルバリア層33a, 33bは、それぞれ同一の材料で一体に形成され、1つの連続した同一層を構成している。

【0112】

本実施の形態では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるフリー層32aのみから流入し、TMR素子部31A, 31Bを順次経由した後に前記直列接続体の他端であるフリー層32bのみから流出する。

【0113】

なお、一体に形成されたピンド層34a, 34bの磁化方向は、例えば、X軸方向又はY軸方向とされる。

【0114】

本実施の形態によっても、前記第1の実施の形態と同様の利点が得られる。

【0115】

[第3の実施の形態]

【0116】

図10は、本発明の第3の実施の形態によるTMR素子41を示す概略断面図である。

図11は、図10中のC-C'矢視図である。

【0117】

本実施の形態では、TMR素子41は、第1の実施の形態と同様に、2つのTMR素子部41A, 41Bを有し、これらが、半導体基板21上の層22の上にそれぞれ積層されている。TMR素子部41A, 41Bは、互いにに対してX軸方向（積層面に沿った方向）に配置されている。

【0118】

TMR素子部41Aは、下側から順に積層されたピン層42a、ピンド層（第2の磁性層）43a、トンネルバリア層44a及びフリー層（第1の磁性層）45aからなる積層体で構成されている。TMR素子部41BもTMR素子部41Aと同一の層構造を持ち、

下側から順に積層されたピン層 4 2 b、ピンド層（第2の磁性層）4 3 b、トンネルバリア層 4 4 b 及びフリー層（第1の磁性層）4 5 b からなる積層体で構成されている。

【0119】

本実施の形態では、図10及び図11に示すように、ピン層 4 2 a, 4 2 b 間、ピンド層 4 3 a, 4 3 b 間、トンネルバリア層 4 4 a, 4 4 b 間及びフリー層 4 5 a, 4 5 b 間には、Y軸方向に延びた分離用の絶縁層 4 6 が介在され、両者の間が分離されてそれぞれ電気的に絶縁されている。なお、図面には示していないが、絶縁層 4 6 は、ピン層 4 2 a, 4 2 b、ピンド層 4 3 a, 4 3 b、トンネルバリア層 4 4 a, 4 4 b 及びフリー層 4 5 a, 4 5 b の周囲全体に渡って形成されている。フリー層 4 5 a, 4 5 b 及び絶縁層 4 6 上には、連続して一体に形成された反強磁性層 4 7 が形成されている。これにより、TMR素子部 4 1 A, 4 1 B は、電気的に直列接続されて電気的な直列接続体を構成している。

【0120】

本実施の形態では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるピン層 4 2 a のみから流入し、TMR素子部 4 1 A, 4 1 B を順次経由した後に前記直列接続体の他端であるピン層 4 2 b のみから流出する。なお、電流の向きは逆向きにしてもよいことは、言うまでもない。

【0121】

本実施の形態では、ピンド層 4 3 a, 4 3 b の磁化方向は同一に設定され、例えば、X 軸方向又はY軸方向に設定される。

【0122】

ここで、本実施の形態によるTMR素子 4 1 の製造方法の一例について、図12を参照して説明する。図12は、その各工程を示す概略断面図であり、図10に対応している。

【0123】

まず、用途に応じて作製され既に層 2 2 が形成された半導体基板 2 1 を用意する。次に、層 2 2 上に、ピン層 4 2 a, 4 2 b となるべき反強磁性層 4 2、ピンド層 4 3 a, 4 3 b となるべき磁性層 4 3、トンネルバリア層 4 4 a, 4 4 b となるべき絶縁層 4 4、及び、フリー層 4 5 a, 4 5 b となるべき磁性層 4 5 を、スパッタ法又はCVD法等により順次形成する（図12（a））。

【0124】

次いで、フォトリソグラフィー及びエッチングにより、層 4 2 ~ 4 5 を、ピン層 4 2 a, 4 2 b、ピンド層 4 3 a, 4 3 b、トンネルバリア層 4 4 a, 4 4 b 及びフリー層 4 5 a, 4 5 b の形状に合わせてパターニングする（図12（b））。

【0125】

次に、その上にスパッタ法又はCVD法等により絶縁層46を成膜する。その後、CMPにより、磁性層45が露出するまで平坦化して、図12(b)で除去された層42～45の部分に相当する絶縁層46の部分のみを残す(図12(c))。

【0126】

5 次に、図12(c)に示す状態の基板上に、スパッタ法等により、反強磁性層47を成膜する(図12(d))。

【0127】

その後、フォトリソグラフィー及びエッチングにより、層47をパターニングする(図12(e))。これにより、TMR素子41が完成する。

10 【0128】

本実施の形態によれば、前記第1の実施の形態と同様の利点が得られる。なお、前記反強磁性層47に代えて、Cu等の非磁性導電層を形成してもよい。また、前記反強磁性層47に代えて、酸化ルテニウム等の抵抗体層を形成してもよい。

【0129】

15 [第4の実施の形態]

【0130】

図13は、本発明の第4の実施の形態によるTMR素子51を示す概略断面図である。

図14は、図13中のD-D'矢視図である。

【0131】

20 本実施の形態では、TMR素子51は、2つのTMR素子部51A, 51Bを有し、これらが、半導体基板21上の層22の上にそれぞれ積層されている。TMR素子部51A, 51Bは、互いにに対してX軸方向(積層面に沿った方向)に配置されている。

【0132】

25 TMR素子部51Aは、下側から順に積層されたピン層52a、ピンド層(第2の磁性層)53a、トンネルバリア層54a及びフリー層(第1の磁性層)55aからなる積層体で構成されている。TMR素子部51BもTMR素子部51Aと同一の層構造を持ち、下側から順に積層されたピン層52b、ピンド層(第2の磁性層)53b、トンネルバリア層54b及びフリー層(第1の磁性層)55bからなる積層体で構成されている。

【0133】

30 本実施の形態では、図13及び図14に示すように、フリー層55a, 55b間が分離されて電気的に絶縁されている。一方、ピン層52a, 52bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。また、ピンド層53a, 53bも、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。

これにより、TMR素子部51A, 51Bは、電気的に直列接続されて電気的な直列接続体を構成している。なお、トンネルバリア層54a, 54bも分離されている。

【0134】

本実施の形態では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるフリー層55aのみから流入し、TMR素子部51A, 51Bを順次経由した後に前記直列接続体の他端であるフリー層55bのみから流出する。なお、フリー層55a, 55bは、図示しない配線層等により所定箇所に電気的に接続されるようになっている。

【0135】

10 なお、一体に形成されたピンド層52a, 52bの磁化方向は、例えば、X軸方向又はY軸方向とされる。

【0136】

本実施の形態によつても、前記第1の実施の形態と同様の利点が得られる。

【0137】

15 [第5の実施の形態]

【0138】

図15は、本発明の第5の実施の形態によるTMR素子61を示す概略断面図である。

図16は、図15中のE-E'矢視図である。

【0139】

20 本実施の形態では、TMR素子61は、3つのTMR素子部61A, 61B, 61Cを有し、これらが、半導体基板21上の層22の上にそれぞれ積層されている。TMR素子部61A, 61Bは、互いに對してX軸方向（積層面に沿つた方向）に配置されている。

【0140】

TMR素子部61Aは、下側から順に積層されたピン層62a、ピンド層63a、トンネルバリア層64a及びフリー層65aからなる積層体で構成されている。TMR素子部61BもTMR素子部61Aと同一の層構造を持ち、下側から順に積層されたピン層62b、ピンド層63b、トンネルバリア層64b及びフリー層65bからなる積層体で構成されている。TMR素子部61CもTMR素子部61Aと同一の層構造を持ち、下側から順に積層されたピン層62c、ピンド層63c、トンネルバリア層64c及びフリー層65cからなる積層体で構成されている。

【0141】

本実施の形態では、図15及び図16に示すように、ピン層62a, 62b間及びピンド層63a, 63b間には、Y軸方向に延びた分離用の絶縁層66が介在され、両者の間

が分離されてそれぞれ電気的に絶縁されている。フリー層 6 5 a, 6 5 b は、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。フリー層 6 5 b, 6 5 c 間は分離されて電気的に絶縁されている。ピン層 6 2 b, 6 2 c は、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。ピンド層 6 3 b, 6 3 c は、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。これにより、TMR 素子部 6 1 A, 6 1 B, 6 1 C は、電気的に直列接続されて電気的な直列接続体を構成している。なお、トンネルバリア層 6 4 a, 6 4 b は、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。トンネルバリア層 6 4 b, 6 4 c 間は分離されている。

【0142】

本実施の形態では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるピン層 6 2 a のみから流入し、TMR 素子部 6 1 A, 6 1 B, 6 1 C を順次経由した後に前記直列接続体の他端であるフリー層 6 5 c のみから流出する。なお、電流の向きは逆向きにしてもよいことは、言うまでもない。なお、フリー層 6 5 c は、図示しない配線層等により所定箇所に電気的に接続されるようになっている。

【0143】

本実施の形態では、ピンド層 6 3 a, 6 3 b, 6 3 c の磁化方向は同一に設定され、例えば、Y 軸方向に設定される。

【0144】

本実施の形態の TMR 素子 6 1 の等価回路は、図 17 に示すように、TMR 素子部 6 1 A の抵抗値を示す可変抵抗器 r 6 1 a と、TMR 素子部 6 1 b の抵抗値を示す可変抵抗器 r 6 1 b と、TMR 素子部 6 1 c の抵抗値を示す可変抵抗器 r 6 1 c との、直列接続で表される。しかも、一体に形成されたフリー層 6 5 a, 6 5 b, 6 5 c の磁化の方向の変化に対する可変抵抗器 r 6 1 a, r 6 1 b, r 6 1 c の抵抗値増減の傾向は同一である。

【0145】

本実施の形態によっても、前記第 1 の実施の形態と同様の利点が得られる。

【0146】

[第 6 の実施の形態]

【0147】

図 18 は、本発明の第 6 の実施の形態による TMR 素子 7 1 を示す概略断面図である。図 19 は、図 18 中の F-F' 矢視図である。

【0148】

本実施の形態では、TMR 素子 7 1 は、4 つの TMR 素子部 7 1 A, 7 1 B, 7 1 C,

71Dを有し、これらが、半導体基板21上の層22の上にそれぞれ積層されている。TMR素子部71A, 71B, 71C, 71Dは、互いに対してもX軸方向（積層面に沿った方向）に配置されている。

【0149】

5 TMR素子部71Aは、下側から順に積層されたピン層72a、ピンド層73a、トンネルバリア層74a及びフリー層75aからなる積層体で構成されている。TMR素子部71BもTMR素子部71Aと同一の層構造を持ち、下側から順に積層されたピン層72b、ピンド層73b、トンネルバリア層74b及びフリー層75bからなる積層体で構成されている。TMR素子部71CもTMR素子部71Aと同一の層構造を持ち、下側から順に積層されたピン層72c、ピンド層73c、トンネルバリア層74c及びフリー層75cからなる積層体で構成されている。TMR素子部71DもTMR素子部71Aと同一の層構造を持ち、下側から順に積層されたピン層72d、ピンド層73d、トンネルバリア層74d及びフリー層75dからなる積層体で構成されている。

【0150】

15 本実施の形態では、図18及び図19に示すように、ピン層72a, 72b間及びピンド層73a, 73b間には、Y軸方向に延びた分離用の絶縁層76が介在され、両者の間が分離されてそれぞれ電気的に絶縁されている。フリー層75a, 75bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。フリー層75b, 75c間は分離されて電気的に絶縁されている。ピン層72b, 72cは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。ピンド層73b, 73cは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。ピン層72c, 72d間及びピンド層73c, 73d間には、Y軸方向に延びた分離用の絶縁層77が介在され、両者の間が分離されてそれぞれ電気的に絶縁されている。フリー層75c, 75dは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。これにより、TMR素子部71A, 71B, 71C, 71Dは、電気的に直列接続されて電気的な直列接続体を構成している。なお、トンネルバリア層74a, 74bは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。トンネルバリア層74b, 74c間は分離されている。トンネルバリア層74c, 74dは、それぞれ同一の材料で一体に形成され、1つの連続された同一層を構成している。

【0151】

30 本実施の形態では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列接続体の一端であるピン層72aのみから流入し、TMR素子部71A, 71B, 71C, 71Dを順次経由した後に前記直列接続体の他端であるピン層72dのみから流出する。

なお、電流の向きは逆向きにしてもよいことは、言うまでもない。

【0152】

本実施の形態では、ピンド層73a, 73b, 73c, 73dの磁化方向は同一に設定され、例えば、Y軸方向に設定される。

5 【0153】

本実施の形態のTMR素子71の等価回路は、図20に示すように、TMR素子部71Aの抵抗値を示す可変抵抗器r71aと、TMR素子部71bの抵抗値を示す可変抵抗器r71bと、TMR素子部71cの抵抗値を示す可変抵抗器r71cと、TMR素子部71dの抵抗値を示す可変抵抗器r71dとの、直列接続で表される。しかも、一体に形成されたフリー層75a, 75b, 75c, 75dの磁化の方向の変化に対する可変抵抗器r71a, r71b, r71c, r71dの抵抗値増減の傾向は同一である。

【0154】

本実施の形態によっても、前記第1の実施の形態と同様の利点が得られる。

【0155】

15 [第7の実施の形態]

【0156】

図21は、本発明の第7の実施の形態によるTMR素子81を示す概略平面図である。

図22は、図21中のG-G'線に沿った概略断面である。図23は、図21中のH-H'線に沿った概略断面である。図24は、図21中のJ-J'線に沿った概略断面である。

20 図25は、図21中のK-K'線に沿った概略断面である。

【0157】

本実施の形態では、TMR素子81は、4つのTMR素子部81A, 81B, 81C, 81Dを有し、これらが、半導体基板21上の層22の上にそれぞれ積層されている。TMR素子部81A, 81Bは互いにに対してY軸方向に、TMR素子部81B, 81Cは互いにに対してX軸方向に、TMR素子部81C, 81Dは互いにに対してY軸方向に、TMR素子部81D, 81Aは互いにに対してX軸方向に、それぞれ配置されている。

【0158】

TMR素子部81Aは、下側から順に積層されたピン層82a、ピンド層83a、トンネルバリア層84a及びフリー層85aからなる積層体で構成されている。TMR素子部81BもTMR素子部81Aと同一の層構造を持ち、下側から順に積層されたピン層82b、ピンド層83b、トンネルバリア層84b及びフリー層85bからなる積層体で構成されている。TMR素子部81CもTMR素子部81Aと同一の層構造を持ち、下側から順に積層されたピン層82c、ピンド層83c、トンネルバリア層84c及びフリー層85cからなる積層体で構成されている。

5 c からなる積層体で構成されている。TMR 素子部 8 1 D も TMR 素子部 7 1 A と同一の層構造を持ち、下側から順に積層されたピン層 8 2 d、ピンド層 8 3 d、トンネルバリア層 8 4 d 及びフリー層 8 5 d からなる積層体で構成されている。

【0159】

5 本実施の形態では、図 2 1 乃至及び図 2 5 に示すように、ピン層 8 2 a, 8 2 b 間及び
ピンド層 8 3 a, 8 3 b 間には、X 軸方向に延びた分離用の絶縁層 8 6 が介在され、両者
の間が分離されてそれぞれ電気的に絶縁されている。フリー層 8 5 a, 8 5 b は、それぞ
れ同一の材料で一体に形成され、1 つの連続された同一層を構成している。フリー層 8 5
b, 8 5 c 間は分離されて電気的に絶縁されている。ピン層 8 2 b, 8 2 c は、それぞ
10 同一の材料で一体に形成され、1 つの連続された同一層を構成している。ピンド層 8 3 b,
8 3 c は、それぞれ同一の材料で一体に形成され、1 つの連続された同一層を構成してい
る。ピン層 8 2 c, 8 2 d 間及びピンド層 8 3 c, 8 3 d 間には、X 軸方向に延びた分離
用の絶縁層 8 7 が介在され、両者の間が分離されてそれぞれ電気的に絶縁されている。フ
リー層 8 5 c, 8 5 d は、それぞれ同一の材料で一体に形成され、1 つの連続された同一
15 層を構成している。層 8 2 a～8 5 a と層 8 2 d～8 5 dとの間は、分離されて電気的に
絶縁されている。これにより、TMR 素子部 8 1 A, 8 1 B, 8 1 C, 8 1 D は、電気的
に直列接続されて電気的な直列接続体を構成している。なお、トンネルバリア層 8 4 a,
8 4 b は、それぞれ同一の材料で一体に形成され、1 つの連続された同一層を構成してい
る。トンネルバリア層 8 4 b, 8 4 c 間は分離されている。トンネルバリア層 8 4 c, 8
20 4 d は、それぞれ同一の材料で一体に形成され、1 つの連続された同一層を構成している。

【0160】

本実施の形態では、磁気抵抗変化を検出するためのセンス電流は、実質的に、前記直列
接続体の一端であるピン層 8 2 a のみから流入し、TMR 素子部 8 1 A, 8 1 B, 8 1 C,
8 1 D を順次経由した後に前記直列接続体の他端であるピン層 8 2 d のみから流出する。
25 なお、電流の向きは逆向きにしてもよいことは、言うまでもない。

【0161】

本実施の形態では、ピンド層 8 3 a, 8 3 b, 8 3 c, 8 3 d の磁化方向は同一に設定
され、例えば、Y 軸方向に設定される。

【0162】

30 本実施の形態によっても、前記第 1 の実施の形態と同様の利点が得られる。

【0163】

【第 8 の実施の形態】

【0164】

図26は、本発明の第8の実施の形態によるメモリセルと書き込み線91との関係を示す概略断面図である。

【0165】

本実施の形態では、メモリセルとして前記第1の実施の形態によるTMR素子11が用いられている。ただし、磁化の向きは、図6に示すように設定されている。TMR素子11の一体に形成されたフリー層15a, 15b上に、導体からなる書き込み線91が付加されている。書き込み線91は、Y軸方向に延び、フリー層15a, 15bに電流磁場を形成する。

【0166】

この書き込み線91は、TMR素子11の2つのTMR素子部11A, 11Bの磁化状態を、TMR素子部11A, 11Bの抵抗値が全て大きくなる第1の状態とそれらの抵抗値が全て小さくなる第2の状態とに、切り替えるための電流磁場を与える。

【0167】

本実施の形態では、図26に示すように、書き込み線91は、フリー層15a, 15bに対して電気的に接続しているが、電気的に絶縁した状態であってもよい。書き込み線91により形成される電流磁場を有効に使うためには、書き込み線91がフリー層15a, 15bに電気的に接続していた方が好ましいが、書き込み線91とピン層12a, 12bに接続する回路との間を絶縁関係にする必要がある場合は、フリー層15a, 15bと書き込み線91とは、絶縁状態で接触させる。この場合、フリー層15a, 15bにおける磁化方向の設定動作とMR(磁気抵抗)を検出する動作を同一に行うことができる。

【0168】

図27は、第8の実施の形態の変形例を示す概略断面図である。図27に示す変形例が第8の実施の形態と異なる所は、書き込み線91が生ずる電流磁場をフリー層15a, 15bへ案内する磁路形成層92が追加されている点である。磁路形成層92は、書き込み線91の周囲に形成され、磁気ヨークを構成している。図27に示す例では、書き込み線91が磁路形成層92に対して電気的に接続されているが、前述と同様に、絶縁状態としてもよい。

【0169】

また、図27に示す例では、磁路形成層92がフリー層15a, 15bに接触して閉磁路を構成している。もっとも、図28に示すように、磁路形成層92はフリー層に必ずしも接触しなくてもよい。

【0170】

図28に示す例では、TMR素子部11に代えて、図18及び図19に示すTMR素子

7 1 が用いられている。図 2 8 に示す例では、フリー層 7 5 b とフリー層 7 5 c との間の電気的な絶縁状態を保つために、フリー層と磁路形成層 9 2 及び書き込み線 9 1 との間に絶縁層 9 3 が形成されている。

【0 1 7 1】

5 [第 9 の実施の形態]

【0 1 7 2】

図 2 9 は、本発明の第 9 の実施の形態によるメモリ装置のデータ読み出しに関する構成を示す概略構成図である。図 3 0 は、本発明の第 9 の実施の形態によるメモリ装置のデータ読み出し回路を構成する基本単位となる 1 つのブロック S B を示す回路図である。図 3 1 は、本発明の第 9 の実施の形態によるメモリ装置のデータ書き込みに関する構成を示す図である。図 3 2 は、本発明の第 9 の実施の形態によるメモリ装置におけるメモリセルと書き込み線との位置関係を模式的に示す概略斜視図である。なお、図 3 2 では、理解を容易にするため、各メモリセルは、互いに接続されていないものとして示しているが、実際には図 3 3 に示すように接続されている。図 3 3 は、図 3 2 中の L - L' 線に沿った概略断面図である。

【0 1 7 3】

本実施の形態によるメモリ装置は、MRAM として構成されている。

【0 1 7 4】

本実施の形態では、図 3 2 に示すように、Y 軸方向（行方向）に延びた複数の第 1 の書き込み線（書き込み用ワード線）1 0 1 と、第 1 の書き込み線 1 0 1 の上側位置において X 軸方向（列方向）に延びた複数の第 2 の書き込み線（書き込みビット線）1 0 2 と、第 1 及び第 2 の書き込み線 1 0 1, 1 0 2 の各交差点において第 2 の書き込み線 1 0 2 の下側に配置されたメモリセル MS と、を備えている。この様子は、図 3 1 中にも模式的に示されている。このようにして、本実施の形態では、各メモリセル MS に対して 2 本の書き込み線 1 0 1, 1 0 2 が配置されている。

【0 1 7 5】

書き込み線 1 0 1, 1 0 2 はそれぞれ導体で構成されている。図 3 3 に示すように、書き込み線 1 0 1, 1 0 2 間には絶縁層 1 0 3 が形成され、両者の間が電気的に絶縁されている。

30 【0 1 7 6】

特に図 3 3 からわかるように、本実施の形態では、各メモリセル MS として、前述した図 1 及び図 2 に示す第 1 の実施の形態による TMR 素子 1 1 が用いられている。なお、図 3 3 では、個々のメモリセルを識別するため、符号「MS」に番号を付している（後述す

る図30も同様)。

【0177】

メモリセルMS (TMR素子11) の上部のフリー層と下側の書き込み線101との間には絶縁層104が形成され、両者の間が電気的に絶縁されている。なお、絶縁層104を設けずに、両者の間が電気的に接続されていてもよい。

【0178】

図33からわかるように、1つのメモリセルMS (TMR素子11) 上で交差する2本の書き込み線101, 102にそれぞれ電流を供給することで書き込み線101, 102が生ずる合成磁場によって、当該メモリセルMS (TMR素子11) の2つのTMR素子部11A, 11B (図1参照。図33では図示せず) の磁化の状態 (一体に形成されているフリー層15a, 15bの磁化方向) が一括して切り替えられるようになっている。

【0179】

ここで、データ書き込みに関する構成及び動作について、図31を参照して説明する。

【0180】

各第1の書き込み線101の一端は、MOSFET等からなる行選択スイッチ121の一端に接続されている。各行選択スイッチ121の他端は、定電流源122に接続されている。各選択スイッチ121のゲートは後述する書き込み用行デコーダ115に接続されている。各第1の書き込み線101の他端は接地されている。

【0181】

各書き込み線102の一端は、後述する電流方向スイッチ117に接続されている。各書き込み線102の他端は、後述する電流方向スイッチ118に接続されている。

【0182】

また、図31に示すように、本実施の形態によるメモリ装置は、図31に示すように、コマンドデコーダ111と、制御ロジック部112と、アドレスバッファ113と、クロックジェネレータ114と、書き込み用行デコーダ115と、書き込み用列デコーダ116と、電流方向スイッチ117, 118と、データ制御回路119と、入力データ用のI/Oバッファ120と、を備えている。

【0183】

コマンドデコーダ111は、外部からのコマンド (書き込み及び読み出しのいずれであるかの指令など) を判別し、その判別結果を制御ロジック部112に供給する。

【0184】

アドレスバッファ113は、制御ロジック部112の制御下で、外部からのアドレスデータ (データの格納場所を示すデータ) を受け、そのアドレスデータを行方向アドレスと

列方向アドレスとに分け、データ書き込み時には、各方向のアドレスをそれぞれ書き込み用行デコーダ115及び書き込み用列デコーダ116に供給する。

【0185】

書き込み用行デコーダ115は、アドレスバッファ113から供給されたアドレスに応じた行の行選択スイッチ121をオンにすることで、当該行の書き込み線101に定電流源122から電流を流す。

【0186】

書き込み用列デコーダ116は、アドレスバッファ113から供給されたアドレスに応じた列の書き込み線102を選択し、当該列の書き込み線102に電流が流れるように電流方向スイッチ117を作動させる。

【0187】

I/Oバッファ120は、制御ロジック部112による制御下で、入力されたデータを一時的に蓄積して適切なタイミングでデータ制御回路119に供給する。データ制御回路119は、書き込み線102に流れる電流方向が書き込みデータに応じた方向となるよう電流方向スイッチ117, 118を制御し、また、書き込み線102に流す駆動電流を供給する。

【0188】

なお、クロックジェネレータ114は、回路各部にその動作に必要なクロックを供給する。

【0189】

以上説明した各部の動作によって、外部からのコマンドによりデータ書き込みが指令されると、外部からのアドレスデータに応じたメモリセルMS上の2本の書き込み線101, 102に電流が流れ、かつ、書き込み線102の電流方向が書き込みデータに応じて設定される。その合成電流磁場によってメモリセルMS（TMR素子11）のフリー層の磁化方向がセットされ、データが書き込まれる。

【0190】

本実施の形態では、前述したように、書き込み線101, 102がメモリセルMSと電気的に絶縁されているので、データの書き込み動作と読み出し動作とを独立して自由に行うことができる。また、前述したように、メモリセルMS上で書き込み線101と書き込み線102とが交差する構造であるため、NOR回路と全く同じ動作が可能となる。このため、高速なランダムアクセスが可能である。

【0191】

メモリセルMSを1つずつ順次書き込んでよいが、1本の書き込み線101に定電流

を流し、かつ同時に複数の書き込み線 102 に電流を流すことにより、それらの交差点のメモリセル MS に同時にデータを書き込むことも可能である。

【0192】

次に、本実施の形態によるメモリ装置のデータ読み出しに関する構成について説明する。

5 【0193】

本実施の形態では、図 30 に示す 1 つのブロック SB を、データ読み出し回路を構成する基本単位としている。1 つのブロック SB は、電気的に直列接続された 4 つのメモリセル MS 1～MS 4 と、メモリセル MS 1～MS 4 の各々に 1 つずつ並列接続された 4 つのスイッチング素子としての p-MOSFETS 1～S 4 と、一端がメモリセル MS 1～MS 4 の一方の直列接続端に接続された選択スイッチとしての n-MOSFET S 0 と、から構成されている。

【0194】

なお、図 30 では、メモリセル MS 1～MS 4 をそれぞれ 1 つの可変抵抗器で表示しているが、実際には、図 4 に示すように、2 つの可変抵抗器の直列接続体である。

15 【0195】

メモリセル MS 1～MS 4 の他方の直列接続端は、読み出し線 131 に接続されている。p-MOSFETS 1～S 4 の制御入力部としてのゲートは、それぞれ第 1 の読み出し選択線（読み出し用ビット線）132-1～132-4 にそれぞれ接続されている。n-MOSFET S 0 の他端は、電源線 133 に接続されている。n-MOSFET S 0 の制御入力部としてのゲートは、第 2 の読み出し選択線（読み出し用ワード線）134 に接続されている。

【0196】

なお、ブロック SB を構成するメモリセル MS 及びこれに並列接続されるスイッチング素子（本実施の形態では、FET）の組数は、4 つに限定されるものではなく、何ら限定されるものではない。

【0197】

このブロック SB の一部の断面構造が図 33 に示されている。本実施の形態では、メモリセル MS 1～MS 4 の直列接続は、隣接する 2 つのメモリセル MS のピン層及びピンド層同士が同一材料で一体に形成されることによって、行われている。

30 【0198】

また、図 33 に示すように、N 型シリコン基板 141 に形成された P+ 領域 142 によつて、p-MOSFETS 1～S 4 のドレイン／ソース領域が構成されている。隣接する FET 同士で P+ 領域 142 が連続することで、特別な配線層を用いることなく、p-MOS

F E T S 1 ~ S 4 の直列接続が実現されている。

図 3 3において、1 4 3はp-MOSFET S 1 ~ S 4のゲート、1 4 4はp-MOSFET S 1 ~ S 4のチャネル領域である。ゲート1 4 3はポリシリコンで構成されている。

【0 1 9 9】

5 そして、メモリセルMS 1 ~ MS 4とp-MOSFET S 1 ~ S 4との並列接続は、図
3 3に示すように、P+領域1 4 2の上面とメモリセルMSのピン層の下面との間に配置さ
れた接続ビア1 4 5によって、行われている。

【0 2 0 0】

ここで、図3 0にブロックSBの読み出し動作について説明する。このブロックSBが
10 選択されない場合、すなわち、読み出し選択線1 3 4にL信号が印加されている場合、n
-MOSFET S 0がオフ状態であるので、このブロックSBからは読み出し線1 3 1へ…
電流は流れない。

【0 2 0 1】

読み出し選択線1 3 4がH信号が印加されると、n-MOSFET S 0がオン状態とな
り、電源線1 3 3からメモリセルMS 1 ~ MS 4の列に電源が供給される。このとき、読
み出し選択線1 3 2 - 1 ~ 4のうち1本のみにH信号を印加し残りにL信号を印加する。
すると、p-MOSFET S 1 ~ S 4のうちゲートにH信号が印加されたFETのみがオ
フ状態となり、残りのFETはオン状態となる。したがって、電源からの電流は、メモリ
セルMS 1 ~ MS 4のうちオフ状態となったFETと並列接続されているメモリセルのみ
20 を通過し、他のメモリセルは通過せずにそれらに並列接続されたp-MOSFET側を通
過して、読み出し線1 3 1から出力される。これにより、メモリセルMS 1 ~ MS 4のう
ちの任意に選択した1つのメモリセルMSのセンス電流（読み出し電流、メモリセルMS
の抵抗値に応じた電流）を、読み出し線1 3 1から得ることができる。

【0 2 0 2】

25 図2 9に示すように、前述した図3 0に示すブロックBSが、行方向（Y軸方向）及び
列方向（X軸方向）に2次元マトリクス状に配置されるとともに、各ブロックBSの4つ
のメモリセルMSが列方向（X軸方向）に配置されている。なお、図面表記の便宜上、図
2 9では、図3 0中の破線で囲んだ部分を長方形の実線で示している。

【0 2 0 3】

30 これらのブロックBSのp-MOSFET S 1 ~ S 4のゲートが、各行毎に、各々が各
行に対応した複数の読み出し選択線1 3 2で共通に接続されている。すなわち、前記読み
出し選択線1 3 2 - 1 ~ 1 3 2 - 4が、各行毎に共通に接続され、それぞれ読み出し選択
線1 3 2となっている。図2 9では、読み出し選択線1 3 2が途中で途切れているように

表記しているが、実際には連続している。この読み出し選択線 132 は、実際には、図 33 中の p-MOSFETS 1～S4 のゲート 143 がそのまま Y 軸方向に連続して延びることにより、構成されている。図 29 に示すように、各読み出し選択線 132 は、後述する読み出し用行デコーダ 141 に接続されている。

5 【0204】

また、各ブロック BS に接続されている読み出し線 131 は、図 29 に示すように、各列ごとに共通に接続されている。各読み出し線 131 のブロック BS とは反対側の端部は、後述するセンスアンプ 143 に接続されている。

【0205】

10 各ブロックに接続されている読み出し選択線 134 は、各列毎に共通に接続されている。
各読み出し選択線 134 は、後述する読み出し用列デコーダ 142 に接続されている。

【0206】

15 図 29 に示すように、本実施の形態によるメモリ装置は、読み出し用行デコーダ 141 と、読み出し用列デコーダ 142 と、センスアンプ 143 と、データ制御回路 144 と、出力データ用の I/O バッファ 145 を備えている。なお、データ読み出しに関する構成の一部として前述した、コマンドデコーダ 111、制御ロジック部 112、アドレスバッファ 113 及びクロックジェネレータ 114 は、読み出し動作にも関与するので、図 29 にも示している。

【0207】

20 アドレスバッファ 113 は、制御ロジック部 112 の制御下で、外部からのアドレスデータ（データの格納場所を示すデータ）を受け、そのアドレスデータを行方向アドレスと列方向アドレスとに分け、データ読み出し時には、各方向のアドレスをそれぞれ読み出し用行デコーダ 141 及び読み出し用列デコーダ 142 に供給する。

【0208】

25 読み出し用行デコーダ 141 は、アドレスバッファ 113 から供給されたアドレスに応じて各行の読み出し選択線 132 に L 信号又は H 信号を与えて、読み出すべきメモリセル MS の行を選択する。

【0209】

30 読み出し用列デコーダ 142 は、アドレスバッファ 113 から供給されたアドレスに応じて各列の読み出し選択線 134 に L 信号又は H 信号を与えて、読み出すべきメモリセル MS の列を選択する。

【0210】

センスアンプ 143 は、読み出し線 131 から得られるセンス電流を増幅する。データ

制御回路144は、増幅されたセンス電流を論理電圧に変換し、読み出しデータとしてI/Oバッファ145に書き込む。

【0211】

I/Oバッファ145は、制御ロジック部112による制御下で、データ制御回路14
5により書き込まれたデータを一時的に蓄積して適切なタイミングで外部に出力する。

【0212】

以上説明した各部の動作によって、外部からのコマンドによりデータ読み出しが指令されると、外部からのアドレスデータに応じたメモリセルMSに格納されたデータがセンス電流として読み出され、これがデータに変換されて外部に出力される。

【0213】

1つずつのメモリセルMSからのデータを順次読み出してもよいが、1本の読み出し選択線132に対し、交差する複数の読み出し選択線134上のデータを、同時にアクセスして複数のメモリセルMSのデータを取り出すことも可能である。

【0214】

15 なお、図面には示していないが、図29及び図31中の前述した各要素も、図33に示す基板141上に搭載されている。

【0215】

本実施の形態では、メモリセルMSとして、前述した第1の実施の形態によるTMR素子11が用いられている。TMR素子11では、電圧バイアス特性に起因するMR比の低下が少なくなり、TMR素子11のMR比が向上する。このため、本実施の形態によれば、読み出し信号のSN比が向上し、データ読み出しの信頼性を高めることができる。

【0216】

また、本実施の形態では、図33に示すように、メモリセルMSとして用いられているTMR素子11は、電流入出力端が両方とも基板141側となっているので、接続ビア145の高さは低くてすみ、接続ビアが跨る層数が少なくてすむ。この点は、接続ビア145と図41中のビアVU1, VU2, VU3とを比較されたい。したがって、本実施の形態によれば、多くの層数に跨るようなビアを形成する必要がないので、製造プロセスが簡単となる。

【0217】

30 また、本実施の形態によれば、前述したように、書き込み線101と書き込み線102とが電気的に絶縁された状態となっている。これに対して、前述した図39に示す第1の従来例の場合、上部導体配線1と下部導体配線2とがTMR素子3を介して電気的に接続した状態となっているため、上部導体配線1と下部導体配線2との間で微小な電圧が生じ

た場合、その間に存在するTMR素子3を介して微小電流が流れている。更に、メモリセルは数万個以上を組み合わせてメモリ装置を構成するため、前記微小電流が大きなものとなり、これにより、メモリセルの場所によって書き込むための電流値が異なった値になってしまう場合がある。しかし、本実施の形態では、書き込み線101, 102間が絶縁されており、常に等しい書き込み用の電流を各メモリセルに供給することができる。

【0218】

また、TMRのMR検出用の電流はデータ書き込み用の電流（フリー層上に配線され、その電流磁場によりフリー層の磁化方向を変化させることになる。）とは無関係に流すことができる、本発明のTMR素子でMRAMを構成した場合、データの書き込み動作及び読み出し操作を同時に行うことができ、メモリ動作の効率化が可能となる。

【0219】

更に、本実施の形態では、メモリセルMSの上側に書き込み線101, 102を配置しているので、IC基板上に最初に形成されるのがTMR素子となる。一般的にTMRの形成にはその下地の平面度が極めて高い必要がある。なぜならば、TMR層の特にトンネルバリア層は10nm程度乃至はそれ以下のレベルとなるため均一に成形するのに困難が伴うからである。そのため、その下地についてはCMP等を使ってラフネスを1nm程度の平坦度にする必要がある。しかし、従来の形態のように、下地に導体パターン（100nmオーダー）等があると、凹凸が激しく存在することになるため、その凹凸を平坦化するのは非常に手間と多くの処理が必要となる。しかし、最下層が既に十分平坦化されている面或いは凹凸が少ない面であれば、容易に極めて高い平坦度の面を形成し易くなる。よってTMR素子成形プロセスに関しても容易にすることができる。

【0220】

本実施の形態では、メモリセルMSとして、前記第1の実施の形態によるTMR素子1が用いられている。しかしながら、本発明では、本実施の形態と同様のメモリ装置において、メモリセルMSとして、前述した他の実施の形態によるTMR素子31, 41, 51, 61, 71, 81を用いてもよい。特に、メモリセルMSとして、TMR素子11に代えてTMR素子71, 81を用いる場合、本実施の形態によるメモリ装置をほとんど修正しなくてすみ、しかも、本実施の形態の利点を全て得ることができる。

【0221】

30 [第10の実施の形態]

【0222】

図34は、本発明の第10の実施の形態によるメモリ装置の要部を示す概略斜視図であり、図32に対応している。図34中のM-M'線に沿った概略断面図は、図33と同様

になる。図35は、図34中の1つのメモリセルMS付近を拡大した概略斜視図である。

図36は、図35中のN-N'線に沿った概略断面図である。

【0223】

本実施の形態が前記第9の実施の形態と異なる所は、書き込み線101、102が生ずる合成電流磁場を、書き込み線101、102の交差部の四隅付近においてメモリセルMSのフリー層へ案内する磁路形成層151が、追加されている点と、メモリセルMSのフリー層と書き込み線101との間に絶縁層が設けられていない点のみである。

【0224】

磁路形成層151は、書き込み線101、102の交差点上付近において、書き込み線101、102に対して上方から設けられ、磁気ヨークを構成している。磁路形成層151は書き込み線101、102の交差部の四隅でフリー層と接続されている。なお、図36において、152は絶縁層である。

【0225】

本実施の形態によれば、磁路形成層151によって、書き込み線101、102が形成する電流磁場を効率的にメモリセルMS（TMR素子11）のフリー層に与えることができる。そのため、磁路形成層151がないときに比べ、書き込み線101、102に流す電流を小さくすることができ、データ書き込み時の省電流化が可能となる。また、外部からの磁気的影響に対して磁気シールド効果を有する。

【0226】

更に、直交する書き込み線101、102の4つの隅で磁路形成層151とフリー層とを接続したので、書き込み線101、102により形成される合成電流磁場でその合成磁場が約45度程度に来たときのみ書き換えに有効な磁場がフリー層に侵入するため、磁化方向を書き換えることが可能になる。また、従来の電流磁場が空間に形成される構造では、ワード線又はビット線の一方のみによるデータ書き込み線の電流磁場によりTMR素子のフリー層の磁化方向を変えてしまうエラー（半書き込み）に対しても、一方の線単独に形成される電流磁場の方向（線に対して垂直方向）に対して前記磁気ヨークは閉磁路構造にはなっていないことから、フリー層の磁化方向を変えるにいたる磁場には達しないため、このようなエラーに対するマージンが大きくなる。

【0227】

なお、本実施の形態では、各メモリセルMSの上部に形成した磁路形成層151は、各セル毎に分離されて形成されているが、フェライト等の酸化物磁性材料をスパッタ及び湿式メッキで付着させた場合は、個別のパターンにする必要はなく、TMR素子が形成された領域に一面に付着された状態であってもよい。

【0228】

[他の実施の形態]

【0229】

本発明による磁気抵抗効果素子は、例えば、前記第1乃至第7の実施の形態によるTM
5 R素子11, 31, 41, 51, 61, 71, 81は、メモリ装置に用いることができるのみならず、磁気センサフリー層側等から低磁場を検出する素子（センサー素子）としての利用が可能である。この場合、フリー層の材料として、軟磁性材料を使用することが好ましい。

【0230】

10 この時、フリー層側には変化する磁場を検出し、2つのピンド層間に定電流を流すことにより、図3・7に示す回路又は図3・8に示す回路により磁場を電圧変化として検出することができる。図3・7及び図3・8において、200は本発明による磁気抵抗効果素子、201は抵抗、202は変圧器、203は定電流源である。

【0231】

15 従って、磁気センサー素子としても応用が可能である。この場合においても、検出された信号を増幅するためのIC上に本発明の磁気抵抗素子を形成することが可能であり、同様な効果を得ることができる。

【0232】

以上、本発明の各実施の形態について説明したが、本発明はこれらの実施の形態に限定
20 されるものではない。例えば、本発明による磁気抵抗効果素子は、HDD等の磁気ヘッドにおいて用いることができる。

【0233】

以上説明したように、本発明によれば、メモリ容量の高容量化を図ることができるとともに、データ読み出しの信頼性を高めることができることができるメモリ装置を提供する
25 ことができる。

【0234】

また、本発明によれば、メモリ容量の高容量化を図ことができるとともに、データ読み出しの信頼性を高めることができ、しかも、磁気抵抗効果素子の入出力端の電気的な接続に伴う製造プロセスを簡単にすることができるメモリ装置を提供することができる。

30 【0235】

また、本発明によれば、電圧バイアス特性に起因するMR比の低下を改善することができる磁気抵抗効果素子及びこれを用いたメモリ装置を提供することができる。

【0236】

また、本発明によれば、磁気抵抗効果素子の入出力端の電気的な接続に伴う製造プロセスを簡単にすることができる磁気抵抗効果素子及びこれを用いたメモリ装置を提供することができる。

CLAIMS

1. 電気的に直列に接続された複数のメモリセルと、前記各メモリセルに1つずつ並列接続された複数のスイッチング素子とを備え、

5 前記各メモリセルは、複数の磁気抵抗効果素子部を有する磁気抵抗効果素子で構成され、
前記各磁気抵抗効果素子は、基体の一方の面側に積層されかつ互いに対して積層面に沿った方向に配置され、

前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部が電気的に直列接続されて電気的な直列接続体を構成し、

10 前記各磁気抵抗効果素子において、前記直列接続体の両端は、磁気抵抗変化を検出するためのセンス電流が、前記直列接続体の一端から流入して前記各磁気抵抗効果素子部の磁気抵抗変化に有効な有効領域を積層面を貫く方向に順次経由して前記直列接続体の他端から流出するように、センス電流供給部と電気的に接続され、

前記各スイッチング素子は、当該スイッチング素子の制御入力部に入力された信号に応じて、当該スイッチング素子が並列接続された前記磁気抵抗効果素子の前記直列接続体の前記一端と前記他端との間をオン・オフすることを特徴とするメモリ装置。

2. 配列された複数のブロックを備え、

前記各ブロックは、電気的に直列に接続された複数のメモリセルと、前記各メモリセルに1つずつ並列接続された複数のスイッチング素子とを含み、

前記各メモリセルは、複数の磁気抵抗効果素子部を有する磁気抵抗効果素子で構成され、
前記各磁気抵抗効果素子は、基体の一方の面側に積層されかつ互いに対して積層面に沿った方向に配置され、

前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部が電気的に直列接続されて電気的な直列接続体を構成し、

前記各磁気抵抗効果素子において、前記直列接続体の両端は、磁気抵抗変化を検出するためのセンス電流が、前記直列接続体の一端から流入して前記各磁気抵抗効果素子部の磁気抵抗変化に有効な有効領域を積層面を貫く方向に順次経由して前記直列接続体の他端から流出するように、センス電流供給部と電気的に接続され、

前記各スイッチング素子は、当該スイッチング素子の制御入力部に入力された信号に応じて、当該スイッチング素子が並列接続された前記磁気抵抗効果素子の前記直列接続体の前記一端と前記他端との間をオン・オフすることを特徴とするメモリ装置。

3. 前記複数のブロックが行方向及び列方向に 2 次元マトリクス状に配置されるとともに、前記各ブロックの前記複数のメモリセルが列方向に配置され、

前記複数のブロックの前記複数のスイッチング素子の前記制御入力部が、各行毎に、各々が各行に対応した複数の第 1 の読み出し選択線によって共通して接続され、

5 前記各ブロックは、当該ブロックの前記複数のメモリセルの一方の直列接続端に接続された選択スイッチを含み、

前記複数ブロックの前記複数のメモリセルの他方の直列接続端が、各列毎に、各々が各列に対応した複数の読み出し線によって共通して接続され、

前記複数のブロックの前記選択スイッチの制御入力部が、各列毎に、各々が各列に対応

10 した複数の第 2 の読み出し選択線によって共通して接続された、ことを特徴とする請求項
2 記載のメモリ装置。

4. 前記各スイッチング素子が電界効果トランジスタであることを特徴とする請求項
1 乃至 3 のいずれかに記載のメモリ装置。

15

5. 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、同一の層構造を持つことを特徴とする請求項 1 乃至 4 のいずれかに記載のメモリ装置。

6. 前記各磁気抵抗効果素子において、前記センス電流は、前記複数の磁気抵抗効果
20 素子部のうち互いに電気的に接続される一対の磁気抵抗効果素子部において、前記有効領域を互いに逆向きに流れることを特徴とする請求項 1 乃至 6 のいずれかに記載のメモリ装
置。

7. 前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに
25 電気的に接続される一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部を構成する少なくとも 1 つの層と他方の磁気抵抗効果素子部を構成する対応する層とが、それぞれ同一材料で一体に形成されることにより、
行われたことを特徴とする請求項 1 乃至 6 のいずれかに記載のメモリ装置。

30 8. 前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部の数は偶数であることを特徴とする請求項 1 乃至 7 のいずれかに記載のメモリ装置。

9. 前記各磁気抵抗効果素子において、前記直列接続体の前記一端は、1 つの磁気抵

抗効果素子部の前記基体側の層であり、

前記各磁気抵抗効果素子において、前記直列接続体の前記他端は、他の 1 つの磁気抵抗効果素子部の前記基体側の層であることを特徴とする請求項 8 記載のメモリ装置。

5 10. 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、第 1 及び第 2 の磁性層を含むことを特徴とする請求項 1 ~~乃至 9 のいづれかに~~記載のメモリ装置。

10 11. 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、前記第 1 及び第 2 の磁性層の間に挟まれたトンネルバリア層を含むことを特徴とする請求項 10 記載のメモリ装置。

12. 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部は、前記第 1 及び第 2 の磁性層の間に挟まれた非磁性金属層を含むことを特徴とする請求項 10 記載のメモリ装置。

15 13. 前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される少なくとも一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第 1 の磁性層と他方の磁気抵抗効果素子部の前記第 1 の磁性層とが、それぞれ同一材料で一体に形成されることにより、行 20 われたことを特徴とする請求項 10 ~~乃至 12 のいづれかに~~記載のメモリ装置。

25 14. 前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される少なくとも一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第 2 の磁性層と他方の磁気抵抗効果素子部の前記第 2 の磁性層とが、それぞれ同一材料で一体に形成されることにより、行 20 われたことを特徴とする請求項 10 ~~乃至 13 のいづれかに~~記載のメモリ装置。

30 15. 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部の前記第 1 の磁性層は、磁化方向が外部磁場によって変化するフリー層であり、
前記各磁気抵抗効果素子部の前記第 2 の磁性層は、磁化方向が一定方向に固定されたビ 25 ンド層であることを特徴とする請求項 10 ~~乃至 14 のいづれかに~~記載のメモリ装置。

16. 前記各磁気抵抗効果素子において、前記複数の磁気抵抗効果素子部の前記第 2 の

磁性層の磁化方向が同一であることを特徴とする請求項 1 5 記載のメモリ装置。

17. 前記各磁気抵抗効果素子において、前記各磁気抵抗効果素子部の前記第 1 の磁性層は、前記第 2 の磁性層の前記基体とは反対側に配置されたことを特徴とする請求項 1 5
5 又は 1-6 記載のメモリ装置。

18. 前記各磁気抵抗効果素子に対して、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第 1 の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第 2
10 の状態とに、切り替える磁場を与えるための、2 本の書き込み線がそれぞれ配置され、

前記 2 本の書き込み線が生ずる合成磁場によって、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられることを特徴とする請求項 1 乃至
17 のいずれかに記載のメモリ装置。

15 19. 前記各磁気抵抗効果素子に対して、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第 1 の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第 2
の状態とに、切り替える磁場を与えるための、2 本の書き込み線がそれぞれ配置され、

前記 2 本の書き込み線が生ずる合成磁場によって、当該磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられ、

当該磁気抵抗効果素子に対して、前記 2 本の書き込み線が生ずる磁場を前記フリー層へ案内する磁路形成層が設けられたことを特徴とする請求項 1 7 記載のメモリ装置。

20. 前記各磁気抵抗効果素子に対してそれぞれ配置された 2 本の書き込み線は、前記
25 積層面に沿った互いに異なる方向に延びて互いに交差し、

前記各磁気抵抗効果素子に対して設けられた前記磁路形成層は、当該磁気抵抗効果素子
に対して配置された前記 2 本の書き込み線が生ずる合成磁場を、当該 2 本の書き込み線の
交差部の四隅付近において当該磁気抵抗効果素子の前記フリー層へ案内することを特徴と
する請求項 1 9 記載のメモリ装置。

30 12. 前記各磁気抵抗効果素子に対してそれぞれ配置された前記 2 本の書き込み線は、
互いに電気的に絶縁されたことを特徴とする請求項 1 8 乃至 20 のいずれかに記載のメモ
リ装置。

22. 前記各磁気抵抗効果素子に対してそれぞれ配置された 2 本の書き込み線は、当該磁気抵抗効果素子の前記基体とは反対の側に配置されたことを特徴とする請求項 18 又至
~~21 のいずれか~~に記載のメモリ装置。

5

23. 基体の一方の面側に積層されかつ互いに対して積層面に沿った方向に配置された複数の磁気抵抗効果素子部を備え、

前記各磁気抵抗効果素子部が電気的に直列接続されて電気的な直列接続体を構成し、

前記直列接続体の両端は、磁気抵抗変化を検出するためのセンス電流が、前記直列接続体の一端から流入して前記各磁気抵抗効果素子部の磁気抵抗変化に有効な有効領域を積層面を貫く方向に順次経由して前記直列接続体の他端から流出するように、センス電流供給部と電気的に接続されることを特徴とする磁気抵抗効果素子。

10

24. 前記各磁気抵抗効果素子部は、同一の層構造を持つことを特徴とする請求項 23
記載の磁気抵抗効果素子。

15

25. 前記センス電流は、前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される一対の磁気抵抗効果素子部において、前記有効領域を互いに逆向きに流れることを特徴とする請求項 23 又は 24 記載の磁気抵抗効果素子。

20

26. 前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部を構成する少なくとも 1 つの層と他方の磁気抵抗効果素子部を構成する対応する層とが、それぞれ同一材料で一体に形成されることにより、行われたことを特徴とする請求項 23 又至 25 のいずれかに記載の磁気抵抗効果素子。

25

27. 前記複数の磁気抵抗効果素子部の数は偶数であることを特徴とする請求項 23 又至 26 のいずれかに記載の磁気抵抗効果素子。

30

28. 前記直列接続体の前記一端は、1 つの磁気抵抗効果素子部の前記基体側の層であり、

前記直列接続体の前記他端は、他の 1 つの磁気抵抗効果素子部の前記基体側の層であることを特徴とする請求項 27 記載の磁気抵抗効果素子。

29. 前記各磁気抵抗効果素子部は、第1及び第2の磁性層を含むことを特徴とする請求項23乃至28のいずれかに記載の磁気抵抗効果素子。

30. 前記各磁気抵抗効果素子部は、前記第1及び第2の磁性層の間に挟まれたトンネルバリア層を含むことを特徴とする請求項29記載の磁気抵抗効果素子。

31. 前記各磁気抵抗効果素子部は、前記第1及び第2の磁性層の間に挟まれた非磁性金属層を含むことを特徴とする請求項29記載の磁気抵抗効果素子。

10 32. 前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される少なくとも一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第1の磁性層と他方の磁気抵抗効果素子部の前記第1の磁性層とが、それぞれ同一材料で一体に形成されることにより、行われたことを特徴とする請求項29乃至28のいずれかに記載の磁気抵抗効果素子。

15 33. 前記複数の磁気抵抗効果素子部のうち互いに電気的に接続される少なくとも一対の磁気抵抗効果素子部同士の接続は、当該一対の磁気抵抗効果素子部のうち一方の磁気抵抗効果素子部の前記第2の磁性層と他方の磁気抵抗効果素子部の前記第2の磁性層とが、それぞれ同一材料で一体に形成されることにより、行われたことを特徴とする請求項29乃至32のいずれかに記載の磁気抵抗効果素子。

34. 前記各磁気抵抗効果素子部の前記第1の磁性層は、磁化方向が外部磁場によって変化するフリー層であり、

前記各磁気抵抗効果素子部の前記第2の磁性層は、磁化方向が一定方向に固定されたピンド層であることを特徴とする請求項29乃至33のいずれかに記載の磁気抵抗効果素子。

35. 前記複数の磁気抵抗効果素子部の前記第2の磁性層の磁化方向が同一であることを特徴とする請求項34記載の磁気抵抗効果素子。

30 36. 前記各磁気抵抗効果素子部の前記第1の磁性層は、前記第2の磁性層の前記基体とは反対側に配置されたことを特徴とする請求項34又は35記載の磁気抵抗効果素子。

37. 前記各磁気抵抗効果素子部の前記第1の磁性層が軟磁性材料で構成されたこと

を特徴とする請求項 34 乃至 36 のいずれかに記載の磁気抵抗効果素子。

38. データを記憶するメモリセルを備え、該メモリセルが請求項 23 乃至 36 のいずれかに記載の磁気抵抗効果素子を含むことを特徴とするメモリ装置。

5

39. 前記磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第 1 の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第 2 の状態とに、切り替える磁場を与えるための、1 本以上の書き込み線を備えたことを特徴とする請求項 38 記載のメモリ装置。

10

40. 前記 1 本以上の書き込み線の本数が 2 本であり、
前記 2 本の書き込み線が生ずる合成磁場によって、前記磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられることを特徴とする請求項 39 記載のメモリ装置。

15

41. 請求項 36 記載の磁気抵抗効果素子を含みデータを記憶するメモリセルと、
前記磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態を、前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に大きくなる第 1 の状態と前記複数の磁気抵抗効果素子部の抵抗値が全て相対的に小さくなる第 2 の状態とに、切り替える磁場を与えるため
20 の、1 本以上の書き込み線と、

前記 1 本以上の書き込み線が生ずる磁場を前記フリー層へ案内する磁路形成層と、
を備えたことを特徴とするメモリ装置。

25

42. 前記 1 本以上の書き込み線の本数が 2 本であり、
前記 2 本の書き込み線が生ずる合成磁場によって、前記磁気抵抗効果素子の前記複数の磁気抵抗効果素子部の磁化状態が一括して切り替えられ、
前記 2 本の書き込み線が前記積層面に沿った互いに異なる方向に延びて互いに交差し、
前記磁路形成層は、前記 2 本の書き込み線が生ずる合成磁場を、前記 2 本の書き込み線の交差部の四隅付近において前記フリー層へ案内することを特徴とする請求項 41 記載のメ
30 モリ装置。

43. 前記 1 本以上の書き込み線は、互いに電気的に絶縁されたことを特徴とする請求項 39 乃至 42 のいずれかに記載のメモリ装置。

44. 前記1本以上の書き込み線は、前記磁気抵抗効果素子の前記基体とは反対の側に配置されたことを特徴とする請求項39乃至43のいずれかに記載のメモリ装置。

ABSTRACT OF DISCLOSURE

データ読み出し回路を構成する基本単位となる1つのブロックSBは、電気的に直列接続された4つのメモリセルMS1～MS4と、メモリセルMS1～MS4の各々に1つずつ並列接続された4つのFETS1～S4と、一端がメモリセルMS1～MS4の一方の
5 直列接続端に接続されたFETSOと、から構成される。各メモリセルMS1～MS4は、電気的に直列接続された2つのTMR素子部を持つTMR素子で構成される。2つのTMR素子部は、直列接続されて直列接続体を構成する。センス電流は、2つのTMR素子部の直列接続体の一端のみから流入してこれらのTMR素子部を順次経由した後に前記直列接続体の他端のみから流出する。

10 さらに、TMR素子11は、2つのTMR素子部11A, 11Bを持つ。TMR素子部11A, 11Bは、互いにに対して積層面に沿った方向に配置される。TMR素子部11A, 11Bは、電気的に直列接続されて直列接続体を構成する。磁気抵抗変化を検出するためのセンス電流は、TMR素子部11A, 11Bの直列接続体の一端のみから流入してTMR素子部11A及びTMR素子部11Bを順次経由した後に前記直列接続体の他端のみから流出する。前記センス電流は、前記各TMR素子部11A, 11Bにおける磁気抵抗変化に有効な有効領域を積層面と略垂直な方向に流れる。

15

【選択図】

図30